

jc759 U.S. PTO
04/27/00

FINNEGAN, HENDERSON, FARABOW, GARRETT & DUNNER, L.L.P.
1300 I STREET, N.W.
WASHINGTON, DC 20005-3315

202 • 408 • 4000
FACSIMILE 202 • 408 • 4400

ATLANTA
404•653•6400
PALO ALTO
650•849•6600

WRITER'S DIRECT DIAL NUMBER:

(202) 408-4024

TOKYO
011•813•3431•6943
BRUSSELS
011•322•646•0353

April 27, 2000

ATTORNEY DOCKET NO.:04329.2306

**Box Patent Application
Assistant Commissioner for Patents
Washington, D.C. 20231**

Re: New U.S. Patent Application
Title: SEMICONDUCTOR DEVICE AND
METHOD OF MANUFACTURE THEREOF
Inventors and Addresses:

- 1) Yoshio OZAWA
Yokohama-shi, Japan
- 2) Yasumasa SUIZU
Tokyo, Japan
- 3) Yoshitaka TSUNASHIMA
Yokohama-shi, Japan

Sir:

We enclose the following papers, which are not in the English language, for filing in the United States Patent and Trademark Office in connection with the above-referenced application in accordance with 37 C.F.R. §1.52(d) and §608.01 of the MPEP, Filing of Non-English Language Applications:

1. Non-English application - 33 pages, including 1 independent claim and 19 claims total.
2. Drawings - 15 sheets of formal drawings, containing 66 figures.
3. Information Disclosure Statement and Information Disclosure Citation, PTO 1449 with documents attached.
4. Check in the amount of \$690.00 represents the filing fee.

jc625 U.S. PTO
09/559757
04/27/00

FINNEGAN, HENDERSON, FARABOW, GARRETT & DUNNER, L.L.P.

Assistant Commissioner for Patents
April 27, 2000
Page 2

This application is being filed under the provisions of 37 C.F.R. § 1.53(f).
Applicants await notification from the Patent and Trademark Office of the time set for
filing the Declaration.

Applicants claim the right to priority based on Japanese Patent Application Nos.
11-121689, filed on April 28, 1999 and 2000-122018, filed on April 24, 2000.

An English translation of the non-English language papers will be filed in the
U.S. Patent and Trademark Office within the required time period.

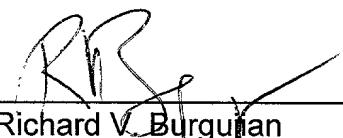
Please accord this application a serial number and filing date.

The Commissioner is hereby authorized to charge any additional filing fees due
and any other fees due under 37 C.F.R. § 1.16 or § 1.17 during the pendency of this
application to our Deposit Account No. 06-0916.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

By:



Richard V. Burguiere
Reg. No. 31,744

RVB/FPD/sci
Enclosures

TITLE OF THE INVENTION

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF

CROSS-REFERENCE TO RELATED APPLICATIONS

This application is based upon and claims the benefit of priority from the prior Japan Patent Applications No. 11-121689, April 28, 1999; and No. 2000-122018, April 24, 2000, the entire contents of which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

MOSトランジスタのソース／ドレイン領域とゲート電極は、これらの間に介在するゲート絶縁膜で電気的に絶縁されている。ゲート電極の下端部は鋭利な形状であるため、ゲート電極の下端部では電界が集中する。この電界集中は、ソース／ドレイン領域とゲート電極との間の絶縁不良を招く原因となる。

さらに、ゲート電極の下端部近傍のゲート絶縁膜は、ゲート電極の形成時におけるエッチングや、ソース／ドレイン領域の形成時におけるイオン注入によってプロセスダメージを受ける。このプロセスダメージによって、ゲート絶縁膜の絶縁耐性は劣化する。この絶縁耐性の劣化は、上記絶縁不良を助長する。

これらの状況は、MOSトランジスタのゲート電極の下端部だけではなく、フラッシュメモリセルの浮遊ゲート電極の下端部においても見られる。すなわち、鋭利な端部形状を有するゲート電極がゲート絶縁膜を介して半導体基板と対向する、絶縁ゲート型トランジスタの一般において見られる。

この種の絶縁不良の問題を解決する従来技術として、後酸化プロセスが知られている。このプロセスは、FIG. 10Aに示すように、シリコン基板91上にシリコン酸化膜92、ドーパンドを含む低抵抗のポリシリコン膜93を順次形成し、ポリシリコン膜93を所定のパターンに加工した後、FIG. 10Bに示すように、酸素(O₂)雰囲気中で熱酸化を行い、後酸化膜94を形成するというものである。後酸化膜94を形成することで、ポリシリコン膜93の鋭利な形状の下端部が丸まり、同下端部における電界が緩和する。

さらに、上記熱酸化の際に起こるバーズビーク酸化により、ポリシリコン膜93の下端部とシリコン基板91との距離が広がることによっても、上記下端部に

09559252 10422200

0955332521042200

おける電界は弱まる。すなわち、基板・下端部間が広がっても電界の分布自身は変わらないが、電界の強度は全体としては弱くなるので、下端部における電界は緩和する。

さらにまた、ポリシリコン膜93の端部近傍にある、プロセスダメージを受けているシリコン酸化膜92は、追加酸化である後酸化によりプロセスダメージが回復し、膜質が改善するので、絶縁耐性が向上する。

上記後酸化プロセスは、FIG. 11A-11Bに示すようなオーバーエッチング構造に対しても同様の作用を有する。FIG. 11A-11Bは、ポリシリコン膜93のパターニングの際に、除去するべきポリシリコン膜93下のシリコン酸化膜92も除去され、さらにその下の基板表面もエッティングされた構造を示している。

以上述べたように、後酸化プロセスを用いれば、ポリシリコン膜93の下端部における電界集中に起因する絶縁不良を回避することが可能である。

ところで、シリコン窒化膜をシリコン酸化膜に変換する従来方法として、水蒸気または酸素(O_2)ガスを酸化剤として用いた熱酸化方法、酸素ガスまたはオゾンガスを原料とするプラズマ雰囲気でのプラズマ酸化方法が知られている。

しかし、これらの方法には、以下のような問題がある。熱酸化方法を用いる場合、高温長時間の大きな熱バジェットが必要となる。例えば、LPCVD法で形成したシリコン窒化膜の表面を厚さ5nmのシリコン酸化膜に変換する場合、酸化速度の速い水蒸気酸化法を用いたとしても、950°C、1時間程度の大きな熱バジェットが必要となる。

熱バジェットが大きいと、シリコン基板中のドーパントが熱拡散を起こし、ドーパントの濃度プロファイルが著しく変化してしまう。そのため、熱酸化方法は、微細デバイスのプロセスへの適用が困難である。

一方、プラズマ酸化方法を用いる場合、被処理基体がプラズマに晒されるため、例えばゲート絶縁膜にプラズマダメージを与えててしまう。このようなプラズマダメージは、絶縁膜の信頼性の劣化や、デバイス特性の変動という問題を引き起こす。

以下、具体的に従来の技術とその問題点について述べる。

F I G. 12 A-12 Dは、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの形成方法を示す工程断面図である。まず、F I G. 12 Aに示すように、イオン注入法により表面にドーパントが導入されたシリコン基板101上にゲート絶縁膜102、ゲート電極となるポリシリコン膜103、ポリシリコン膜103をエッチングする際に用いるマスク（SiNパターン）となるシリコン窒化膜104を順次形成する。

次に、F I G. 12 Bに示すように、レジストを全面に塗布し、リソグラフィー技術で達成し得る最小幅を有するゲートパターンを上記レジストに転写し、レジストパターン105（破線で示された方）を形成する。その後、F I G. 12 Bに示すように、ラジカル酸素を用いた減圧下の酸化処理により、レジストパターン105の幅を細らせる。図には、この幅の狭くなったレジストパターン105を実線で示している。

次に、F I G. 12 Cに示すように、レジストパターン105をマスクにしてシリコン窒化膜104をRIE（Reactive Ion Etching）法でエッチングして、SiNパターンを形成する。この後、レジストパターン105を除去する。

次に、F I G. 12 Dに示すように、残ったシリコン窒化膜（SiNパターン）104をマスクにしてポリシリコン膜103をRIE法でエッチングして、リソグラフィーの能力を超えた微細サイズのゲート電極を形成する。

最後に、F I G. 12 Dに示すように、ゲート電極（ポリシリコン膜）103をマスクにして基板表面にドーパントをイオン注入した後、ドーパントを活性化するためのアニールを行って、ソース／ドレイン領域106を形成し、MOSトランジスタが完成する。

この従来方法では、F I G. 12 Bの工程で塗布するレジストの膜厚は、通常、500 nm程度必要なため、例えば50 nm幅のゲート電極103を形成する場合、レジストパターン105のアスペクト比は10という高い値になる。

そのため、レジストパターン105の形状にばらつきが生じやすくなり、その結果としてゲート電極103の形状にばらつきが生じるという問題が起こる。さらにレジストパターン105が倒れてしまうという問題も起こる。

また、レジストパターン105の幅を細らせる代わりに、SiNパターン膜1

0.4の幅を細らせる技術もある。すなわち、リソグラフィー技術で達成し得る最小幅を有するSiNパターン104を形成した後、酸化処理によりSiNパターン104の幅を細らせる方法が知られている。

しかし、SiNパターン104の幅を必要な量だけ細らせるることは困難である。例えば、酸化速度の速い水蒸気酸化法を用いても、SiNパターン104の幅10nm細らせるのには、950°C、1時間以上の熱バジエットが必要となる。このような高温高時間の酸化処理を行うと、シリコン基板101中のドーパントの濃度プロファイルが著しく変化するという問題があった。

BRIEF SUMMARY OF THE INVENTION

本発明の目的は、シリコンおよび窒素を含む絶縁膜上にパターニングされたシリコンを含む導電膜が形成されてなる構造における同導電膜の端部における絶縁不良を防止できる半導体装置およびその製造方法を提供することである。

本発明に係る半導体装置は、主面を有する半導体基板であって、前記主面は、第1の領域およびそれよりも表面が低い第2の領域を有し、かつ前記第1の領域と前記第2の領域は繋がっている半導体基板と、前記第1の領域上に形成され、シリコン、窒素および酸素を含む第1の絶縁膜と、前記第1の絶縁膜上に形成され、シリコンを含む導電膜と、前記第2の領域上に形成され、シリコンおよび酸素を含み、前記導電膜および前記第1の絶縁膜とコンタクトする第2の絶縁膜とを含むを特徴とする。

本発明に係る半導体装置の製造方法は、半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコンを含む被加工膜を形成する工程と、前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、これらの工程により得られた半導体構造に対して、オゾンおよび酸素ラジカルの一方を含む酸化性ガスを用いて酸化処理を施す工程とを有することを特徴とする。

また、本発明に係る他の半導体装置の製造方法は、半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコンを含む被加工膜を形成する工程と、前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、これらの工程により得られた半導体構造に対して、オゾンおよび酸素ラジカルの一方を含む酸化性ガスを用いて酸化処理を施す工程と、前記酸化処理が

施された前記半導体構造に対して、窒化処理および追加酸化処理の少なくとも一方を施す工程とを有することを特徴とする。

本発明者らは、研究の結果、窒素およびシリコンを含む絶縁膜を、オゾンまたは酸素ラジカルを含む雰囲気で酸化すると、絶縁膜中の窒素が脱離しながら酸化が進行して膜厚が増加することを見出した。

FIG. 13 および FIG. 14 に実験結果の一例を示す。この実験で用いた試料は以下のようにして作成した。シリコンウェハの表面に厚さ 7 nm の熱酸化膜（シリコン酸化膜）を形成した後、上記熱酸化膜を 950°C のアンモニア雰囲気中で窒化し、上記熱酸化膜中に窒素を導入した絶縁膜（シリコン酸窒化膜）を形成した。

次に、上記試料を用いて 2 種類の酸化実験を行った。1 つは、縦型バッチ式酸化炉内に上記試料を導入し、その後縦型バッチ式酸化炉内に酸素ガスを導入して、上記試料に対して酸化処理を施すというものである。この酸化処理は、900°C、30 分、13 kPa の条件で行った。他は、縦型バッチ式酸化炉内に上記試料を導入し、その後縦型バッチ式酸化炉内にオゾンと酸素の混合ガス（オゾン 5%）を導入して、上記試料に対して酸化処理を施すというものである。この酸化処理は、900°C、30 分、130 Pa の条件で行った。

これらの酸化処理が施された試料のそれぞれについて、シリコン酸窒化膜中の窒素および酸素の濃度プロファイルを、SIMS 分析で調べて比較した（SIMS 分析は、上記酸化処理の後、厚さ 10 nm のポリシリコン膜をシリコン酸窒化膜上に形成してから行った。）

FIG. 13 は酸素ガスで酸化処理を行った場合の SIMS の分析結果、FIG. 14 はオゾンと酸素の混合ガスで酸化処理を行った場合の SIMS の分析結果を示している。

これらの図から、オゾンを用いた酸化処理は、オゾンを用いない酸化処理に比べて、シリコン酸窒化膜中の表面側の窒素が容易に脱離し、酸化の進行によるシリコン酸窒化膜の膜厚増加が顕著になることが分かる。

アンモニアの代わりに、亜酸化窒素 (N_2O) または一酸化窒素 (NO) を用いてシリコン酸化膜中に窒素を導入した場合、シリコン酸化膜中の窒素濃度はシ

リコン基板との界面部分で高くなる。この場合でも、オゾンを含む雰囲気で酸化することにより、シリコン酸窒化膜中の基板側の窒素濃度の低下が顕著になり、酸化の進行による膜厚増加が顕著になることが分かった。

また、シリコン酸窒化膜の代わりに、シリコン窒化膜をシリコンウェハの表面に形成した試料を用いた場合でも、オゾンを含む雰囲気で酸化することにより、シリコン窒化膜中の表面側窒素の脱離が顕著になる。その結果、シリコン窒化膜の表面での酸化反応が進行して、シリコン窒化膜の表面がシリコン酸化膜に変換される。

この実験結果から、本酸化法によるシリコン酸窒化膜中の窒素脱離現象は、膜中窒素の組成比 $[N] / ([O] + [N])$ が 0 %よりも高く 100 %以下の範囲で起こることが明らかになった。

さらに、以上の現象は、オゾンの代わりに、酸素ラジカルを含む雰囲気で酸化した場合でも、同様に起こることが確かめられた。

ここで、酸素ラジカルは、プラズマ酸化法のように酸化炉内で発生させたものでも良いし、リモートプラズマ酸化法のように酸化炉の外部で発生させたものを酸化炉内に導入したものでも良いし、あるいは試料表面で発生させたものでも良い。試料表面で酸素を発生させる方法としては、例えば、酸素ガスと水素ガスを酸化炉内に導入し、試料表面を加熱することで、試料表面で酸素ガスを解離させて酸素ラジカルを発生させる方法がある。

オゾン酸化プロセスにおける主な酸化種は、オゾンが解離して生成する酸素ラジカルであるといわれている。このため、オゾン酸化と酸素ラジカル酸素で同様の現象が起きたと考えられる。

したがって、本発明のように、上述したような作用効果を奏するオゾンまたは酸素ラジカルを含む雰囲気で酸化を行えば、シリコンおよび窒素を含む絶縁膜上にパターニングされたシリコンを含む導電膜が形成された構造における同導電膜の端部で酸化が十分に進み、電界緩和に有効な丸まり形状を形成できるようになるので、絶縁不良を効果的に防止できるようになる。

また、導電膜で覆われていない部分の絶縁膜下の基板表面（第2の領域）は、導電膜で覆われた部分の絶縁膜下の基板表面（第1の領域）よりも酸化が速く進

00550251-042200

む。そのため、第2の領域は第1の領域よりも低くなる。

本発明の他の目的は、小さな熱バジェットで、かつプラズマダメージを招くことなく、リソグラフィの能力を超えたシリコン窒化膜からなるパターンを形成することができる半導体装置の製造方法を提供することである。

上記目的を達成するために、本発明に係る半導体装置の製造方法は、シリコン膜を含む被加工膜上にシリコン窒化膜を含む絶縁膜を形成する工程と、前記絶縁膜をリソグラフィおよびエッチングを用いて加工し、前記絶縁膜からなるパターンを形成する工程と、酸素ラジカルおよびオゾンの一方を含む雰囲気中で前記パターンを酸化処理して、前記シリコン窒化膜の露出表面をシリコン酸化膜に変換する工程と、前記シリコン酸化膜を除去することで、前記パターンを微細化する工程と、前記微細化されたパターンを前記被加工膜に転写し、前記被加工膜を加工する工程とを含んでいる。

本発明者らの研究によれば、酸素ラジカルまたはオゾンを含む雰囲気中で、シリコン窒化膜の酸化処理を行うと、容易に850°C以下の温度で、条件を調整することで800°C以下の温度で、シリコン窒化膜の表面をシリコン酸化膜に変換できることが分かった。

FIG. 17およびFIG. 18は、そのことを示す実験結果の一例である。FIG. 17およびFIG. 18は、それぞれ、酸化種にドライ酸素(O_2)および酸化種にオゾン(O_3)を用いた酸化方法により酸化されたシリコン窒化膜を含む半導体構造の顕微鏡写真である。

上記半導体構造は以下のようにして作成した。すなわち、シリコン基板上にシリコン窒化膜、TEOS酸化膜を順次形成し、次にTEOS酸化膜、シリコン窒化膜およびシリコン基板をエッチングして凸部を形成し、次に磷酸でTEOS酸化膜およびシリコン窒化膜を細めることで作成した。図において、下から順にシリコン基板の凸部、シリコン窒化膜、TEOS酸化膜を示している。

酸化種にドライ酸素(10%)を用いた酸化方法では、酸化温度を1000°C、酸化時間を69分とした。この場合、シリコン基板の表面に形成されたシリコン酸化膜の膜厚は15nmであった。一方、酸化種にオゾン(分圧133.32Pa = 1 Torr)を用いた酸化方法では、酸化温度を850°C、酸化時間を

240分とした。この場合、シリコン基板の表面に形成されたシリコン酸化膜の膜厚は11nmであった。

F I G. 17およびF I G. 18から、ドライ酸素を用いた酸化方法では、シリコン窒化膜の表面層をシリコン酸化膜に変換することはできないが、オゾンを用いた酸化方法では、シリコン窒化膜の表面層をシリコン酸化膜に変換できることが分かる。ドライ酸素の代わりに、酸素ラジカルを用いても、同様な結果が得られた。

したがって、オゾンまたは酸素ラジカルを含む酸化性雰囲気を採用した本発明によれば、小さな熱バジェットで、かつプラズマダメージを招くことなく、シリコン窒化膜の表面をシリコン酸化膜に変換できる。そして、このシリコン酸化膜を除去することで、リソグラフィの能力を超えたシリコン窒化膜からなるパターン(SiNパターン)を形成することができるようになる。

SiNパターンをポリシリコン膜のエッチングマスクとして用いる場合、SiNパターンのエッチング速度をポリシリコン膜のそれよりも十分に遅くすることができるため、SiNパターンの厚さは薄くて済む。その結果、SiNパターンの形状のばらつきは十分に小さくなる。

Additional objects and advantages of the invention will be set forth in the description which follows, and in part will be obvious from the description, or may be learned by practice of the invention. The objects and advantages of the invention may be realized and obtained by means of the instrumentalities and combinations particularly pointed out hereinafter.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

F I G. 1A-1Fは本発明の第1の実施例に係るMOSトランジスタの製造方法を示す工程断面図、

F I G. 2A-2Dは同MOSトランジスタのゲート電極の下端部近傍の拡大図、

F I G. 3A-3Eは本発明の第2の実施例に係るフラッシュメモリセルの製造方法を示す工程断面図、

F I G. 4A-4Bは同フラッシュメモリセルの浮遊ゲート電極の下端部近傍

の拡大図、

F I G. 5 A - 5 E は本発明の第 3 の本実施例およびその変形例に係る M O S トランジスタの製造方法により形成した、ゲート電極の下端部近傍の拡大図、

F I G. 6 A - 6 G は本発明の第 4 の実施例に係る M O S トランジスタの製造方法を示す工程断面図、

F I G. 7 A - 7 E は本発明の第 5 の実施例に係る M O S トランジスタの製造方法を示す工程断面図、

F I G. 8 A - 8 G は本発明の第 6 の実施例に係る M O S トランジスタの製造方法を示す工程断面図、

F I G. 9 A - 9 G は本発明の第 7 の実施例に係る不揮発性メモリセルの製造方法を示す工程断面図、

F I G. 10 A - 10 B は従来の後酸化プロセスを示す工程断面図、

F I G. 11 A - 11 B は従来の他の後酸化プロセスを示す工程断面図、

F I G. 12 A - 12 D は従来のリソグラフィーの能力を超えた微細サイズの M O S トランジスタの形成方法を示す工程断面図、

F I G. 13 は酸素雰囲気中で酸化を行ったシリコン酸窒化膜のシリコン、酸素および窒素の濃度プロファイルを示す図、

F I G. 14 はオゾン／酸素混合ガス雰囲気中で酸化を行ったシリコン酸窒化膜のシリコン、酸素および窒素の濃度プロファイルを示す図、

F I G. 15 A - 15 C は従来の酸素ガス雰囲気中での後酸化により得られた素子構造（基板のオーバーエッチングなし）の拡大図、

F I G. 16 A - 16 C は従来の酸素ガス雰囲気中での後酸化により得られた素子構造（基板のオーバーエッチングあり）の拡大図、

F I G. 17 は従来の酸化方法で酸化したシリコン窒化膜を含む半導体構造の顕微鏡写真、

F I G. 18 は本発明の酸化方法で酸化したシリコン窒化膜を含む半導体構造の顕微鏡写真。

The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate presently preferred embodiments of th

e invention, and together with the general description given above and the detailed description of the preferred embodiments given below, serve to explain the principles of the invention.

DETAILED DESCRIPTION OF THE INVENTION

本発明の実施例を説明する前に、本発明の動機付けとなった、本発明者らが見出した問題点について説明する。この問題は、FIG. 10A-10Bにおいて、シリコン酸化膜92の代わりに、シリコン酸窒化膜またはシリコン窒化膜を用いた場合に起こる。

FIG. 15A-15Cに、窒素の濃度プロファイルの違いによる窒素を含むシリコン酸化膜（シリコン酸窒化膜）95の後酸化後の形状の違いを示す。図中、斜線部は窒素の高濃度領域を示している。

ポリシリコン膜93の下に存在するシリコン酸窒化膜95は、ポリシリコン膜93の下端部に酸化剤が供給されることを抑制する。そのため、後酸化によるポリシリコン膜93の下端部の丸まりは不十分となる。

ここで、シリコン酸窒化膜95中の窒素濃度が高い場合、特にポリシリコン膜93側のシリコン酸窒化膜95中の窒素濃度が高い場合には、ポリシリコン膜93の下端部の酸化が進まなくなるため、ポリシリコン膜93の下端部は後酸化前よりも尖った形状になってしまふ（FIG. 15B, FIG. 15C）。

このような不具合は、シリコン窒化膜95中の窒素濃度が、ポリシリコン膜93との界面に $5 \times 10^{13} \text{ cm}^{-2}$ 以上、あるいはポリシリコン膜93近傍のシリコン酸窒化膜95中の窒素組成比 $[N] / ([O] + [N])$ が 1% 以上で顕著となる。

また、シリコン基板91の上に存在するシリコン酸窒化膜95は、シリコン基板91の表面に酸化剤が供給されることを抑制する。そのため、後酸化によるバーズビーク酸化は不十分になる。

ここで、シリコン酸窒化膜95中の窒素濃度が高い場合、特にシリコン基板91側のシリコン酸窒化膜95中の窒素濃度が高い場合には、バーズビーク酸化が進まなくなるため、ポリシリコン膜93の下端部とシリコン基板91との距離は広がらなくなる（FIG. 15A-FIG. 15C）。

このような不具合は、シリコン窒化膜95中の窒素濃度が、シリコン基板91との界面に $5 \times 10^{13} \text{ cm}^{-2}$ 以上、あるいはシリコン基板91近傍のシリコン酸窒化膜95中の窒素組成比 $[N] / ([O] + [N])$ が1%以上で顕著となる。

一方、ポリシリコン膜93の加工後に、露出したシリコン酸窒化膜95の表面側に窒素が含有されていると、シリコン酸窒化膜95中への酸化剤供給が抑制されるため、プロセスダメージ回復による膜質改善が不十分になる(FIG. 15B, FIG. 15C)。

以上述べた問題は、FIG. 10A-10Cに示すようなオーバーエッチング構造に対しても、同様に起こる。

(第1の実施例)

FIG. 1A-1Fは、本発明の第1の実施例に係るMOSトランジスタの製造方法を示す工程断面図である。

まず、FIG. 1Aに示すように、シリコン基板1の平坦に仕上げられた表面に熱酸化法で厚さ3nmのシリコン酸化膜(不図示)を形成し、続いて一酸化窒素(NO)雰囲気で熱処理を行い、上記シリコン酸化膜の基板界面側に $5 \times 10^4 \text{ cm}^{-2}$ の窒素を導入してゲート絶縁膜としてのシリコン酸窒化膜2を形成する。

次に、FIG. 1Bに示すように、原料としてモノシランを用いたLPCVD法により、シリコン酸窒化膜2上に厚さ150nmのアンドープのポリシリコン膜を形成し、続いてこのアンドープのポリシリコン膜にドーパンドとしてボロン(B)をイオン注入することによって、ゲート電極となる低抵抗のポリシリコン膜3を形成する。

ここで、ドーパンドの導入は、熱拡散法を用いて行っても良い。また、ドーパンドとして隣(P)、砒素(A)s等のドナーを用いても良い。なお、図において2'は、第3の実施例で図1を用いて説明するために付したものであり、本実施例とは関係ない。上記ドーパンドの導入は成膜と同時にあっても良いし、あるいは後酸化の後(ポリシリコン膜3を加工した後)に行っても良い。

次に、FIG. 1Cに示すように、ポリシリコン膜3上にフォトレジストを塗布し、写真触刻法を用いてパターニングすることによって、ゲート電極形成用の

0022555555555555

レジストパターン4を形成する。

次に、FIG. 1Dに示すように、レジストパターン4をマスクとして用い、ポリシリコン膜3をドライエッチングによりパターニングして、ゲート電極3を形成した後、アッシング法によりレジストパターン4を除去する。この後、縦型バッチ式酸化炉内にシリコン基板1を搬入する。

次に、縦型バッチ式酸化炉内にオゾンと酸素の混合ガス（オゾン5%）を導入しながら、900°C、10分、130Paの条件で熱処理を行い、FIG. 1Eに示すように、ゲート電極3の表面（側面、上面）およびシリコン酸窒化膜（ゲート絶縁膜）2の露出表面を酸化して、後酸化膜5を形成する。上記酸化は、オゾンと酸素の反応で生じる酸素ラジカルにより行われる。

ここで、後酸化膜5の膜厚は、ゲート電極3の側壁部で5nm程度となる。また、後酸化の酸化温度は、シリコン酸窒化膜2中の窒素の脱離効率を高め、ゲート電極3の下端部の曲率半径を大きくし、かつ短時間でのシリコン酸窒化膜2の欠陥回復を可能にするためには、900°C以上の高温が望ましい。

また、酸化圧力は、雰囲気中のオゾンが失活しないように、1kPa以下の低圧が望ましい。なお、この後酸化は、続いて行うソース／ドレイン領域6の形成工程後に行っても良い。

最後に、FIG. 1Fに示すように、ゲート電極3をマスクに用いてドーパンドを基板表面にイオン注入により導入した後、ランプアニール法によりドーパントの活性化を行うことによって、ソース／ドレイン領域6を自己整合的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOSトランジスタが完成する。

FIG. 2Aに、本実施例の方法により形成した、ゲート電極3の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。シリコン酸窒化膜2中の窒素濃度が、シリコン基板1との界面近傍において $5 \times 10^{13} \text{ cm}^{-2}$ 以上ある場合、酸素ガス雰囲気で後酸化を行うと（従来技術）、FIG. 15Aに示した形状になってしまう。これに対して、本発明では、オゾンを含む雰囲気で後酸化を行っているので、ゲート電極3の下端部近傍およびゲート電極除去領域のゲート酸窒化膜2中の窒素が脱離し、シリコン基板1の酸化の進行によるバ

ーズピークの形成が顕著になる。

その結果、ゲート電極3の下端部の形状が十分に丸まるとともに、ゲート電極3の下端部とソース／ドレイン領域6との間の距離が長くなつて、ゲート電極3の下端部およびソース／ドレイン領域6の電界が緩和され、素子の絶縁耐性が向上する。

なお、FIG. 1 Eの工程では、オゾン雰囲気の熱処理によって後酸化を行つているが、酸素ラジカル雰囲気の熱処理でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた後酸化で得られる後酸化膜の膜厚が不足した場合は、後酸化後に通常の酸化を追加すれば、FIG. 2 Bに示すように、所望の厚さの後酸化膜5を形成できる。

さらにまた、オゾンや酸素ラジカルを用いた酸化でゲート電極3の下端部近傍のシリコン酸窒化膜（ゲート絶縁膜）2中の窒素が脱離することが望ましくない場合、例えば窒素の脱離によるキャリア耐性の低下、高電界ストレス耐性の低下あるいはボロン等のドーパントの拡散抑制能力の低下が懸念される場合には、後酸化の後に一酸化窒素等の窒化性ガス雰囲気の熱処理など、通常の窒素導入プロセスを追加すれば、FIG. 2 Cに示すように、ゲート電極3の下端部近傍のシリコン酸窒化膜（ゲート絶縁膜）2中に窒素を導入することができる。

また、FIG. 1 Dの工程で、ポリシリコン膜3をパターニングする際に、シリコン酸窒化膜2までエッチングされている場合の、ゲート電極3の下端部近傍の拡大図をFIG. 2 Dに示す。図中、斜線部は窒素の高濃度領域を示している。酸素ガス雰囲気で後酸化を行つた場合（従来技術）のFIG. 1 Eと比較して、本発明では、オゾンを含む雰囲気で後酸化を行つてるので、シリコン酸窒化膜2中のシリコン基板1の上端部近傍の窒素が脱離し、後酸化が十分に進行するため、シリコン基板1の上端部の丸まり形状が顕著になる。その結果、ゲート電極3の下端部およびソース／ドレイン領域6の電界が緩和され、素子の絶縁耐性が向上する。

FIG. 1 Aの工程では、熱酸化膜（不図示）を一酸化窒素雰囲気中で熱処理してシリコン酸窒化膜2を形成したが、亜酸化窒素（N₂O）雰囲気等の雰囲気中で熱処理する場合のように、シリコン酸窒化膜中の窒素が基板側の界面に高濃

09559252-0542200

度層を形成するような場合にも、上記と同様の効果が得られる。

また、熱酸化膜をアンモニア (NH_3) 霧囲気中で熱処理する場合のように、シリコン酸窒化膜中の窒素が基板側の界面とゲート電極側の界面に高濃度層を形成するような場合にも、上記と同様の効果が得られる。

(第2の実施例)

F I G. 3 A - 3 E は、本発明の第2の実施例に係るフラッシュメモリセルの製造方法を示す工程断面図である。

まず、F I G. 3 A に示すように、シリコン基板 1 1 の平坦に仕上げられた表面に熱酸化法で厚さ 8 nm のシリコン酸化膜（不図示）を形成し、続いてアンモニア霧囲気中で熱処理を行い、上記シリコン酸化膜の膜裏面側（基板界面側）と膜表面側に窒素組成比 $[N] / ([O] + [N])$ のピーク値が約 10 % となるような窒素高濃度領域を形成して、トンネル絶縁膜としてのシリコン酸窒化膜 1 2 を形成する。シリコン酸窒化膜 1 2 の膜裏面側（基板界面側）と膜表面側に窒素組成比 $[N] / ([O] + [N])$ のピーク値も約 10 % となることを確認した。

次に、F I G. 3 B に示すように、原料としてモノシランとホスフィンを用いた L P C V D 法により、シリコン酸窒化膜 1 2 上に、浮遊ゲート電極となる、リンがドープされた厚さ 150 nm の低抵抗のポリシリコン膜 1 3 を形成する。ここで、ドーパンドの導入は熱拡散法を用いて行って良い。また、リン以外のドーパンドを用いても良い。上記ドーパンドの導入は、成膜後に行っても良い。

この後、F I G. 3 B に示すように、ポリシリコン膜 1 3 上に電極間絶縁膜 1 4 、制御ゲート電極となる導電膜（例えばドーパンドを含むポリシリコン膜）1 5 を周知の方法に従って順次形成する。

次に、図示しないレジストパターンをマスクとして用い、F I G. 3 C に示すように、導電膜 1 5 、電極間絶縁膜 1 4 、ポリシリコン膜 1 3 をドライエッティングによりパターニングした後、アッシング法により上記レジストパターンを除去する。

次に、リモートプラズマ酸化炉内にシリコン基板を搬入した後、同炉内に酸素ラジカルを導入しながら、900 °C、10 分、130 Pa の条件で熱処理を行う

ここで、FIG. 3Dに示すように、ポリシリコン膜（浮遊ゲート電極）13の側壁面およびシリコン酸窒化膜（トンネル絶縁膜）12の露出表面を酸化して、後酸化膜16を形成する。なお、この後酸化は、続いて行うソース／ドレイン領域17の形成工程後に行っても良い。

ここで、後酸化膜16の膜厚は、ポリシリコン膜（浮遊ゲート電極）13の側壁部で10nm程度となる。この後酸化の酸化温度は、シリコン酸窒化膜（トンネル絶縁膜）12中の窒素の脱離効率を高め、浮遊ゲート電極13の下端部の曲率半径を大きくし、かつ短時間でのトンネル絶縁膜12の欠陥回復を可能にするためには、900°C以上の高温が望ましい。

また、制御ゲート電極15がドープトシリコン膜（低抵抗半導体膜）ではなく、金属膜や金属シリサイド膜等の導電膜である場合のように、制御ゲート電極15を酸化したくないときは、その導電膜の露出表面をシリコン窒化膜等のように酸化剤に対してバリア性を有する膜で覆ってから、後酸化を行うと良い。

次に、FIG. 3Eに示すように、制御ゲート電極15をマスクに用いてドーパントを基板表面にイオン注入により導入した後、ランプアニール法によりドーパントの活性化を行うことによって、ソース／ドレイン領域17を自己整合的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOSトランジスタが完成する。

F I G. 4 Aに、本実施例の方法により、浮遊ゲート電極13の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。

浮遊ゲート電極13近傍およびシリコン基板11近傍のシリコン酸窒化膜12中の窒素組成比[N]／([O]+[N])が1%以上ある場合、酸素ガス雰囲気で後酸化を行うと(従来の技術)、FIG. 15Bに示したような形状になってしまう。これに対して、本発明では、酸素ラジカルを含む雰囲気で後酸化しているので、シリコン酸窒化膜12中の浮遊ゲート電極13の下端部近傍および浮遊ゲート電極除去領域の窒素が脱離し、浮遊ゲート電極13の下端部およびシリコン基板11の酸化の進行が顕著になる。

その結果、浮遊ゲート電極 13 の下端部の曲率の増大およびシリコン基板 11 のバーズビーク酸化の進行によって、浮遊ゲート電極 13 の下端部およびソース

／ドレイン領域 17 の電界が緩和され、さらに浮遊ゲート電極 13 の下端部近傍のシリコン酸窒化膜 12 中のプロセスダメージが回復することによって、絶縁耐性が向上する。

なお、FIG. 3D の工程では、酸素ラジカル雰囲気中での熱処理により後酸化を行っているが、オゾン雰囲気中での熱処理でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた後酸化で得られる後酸化膜の膜厚が不足の場合は、後酸化の後に通常の酸化を追加しても良い。

さらにまた、オゾンや酸素ラジカルを用いた後酸化で浮遊ゲート電極 13 の下端部近傍のシリコン酸窒化膜（トンネル絶縁膜）12 中の窒素が脱離することが望ましくない場合には、後酸化の後に一酸化窒素等の窒化性ガス雰囲気中での熱処理など、通常の窒素導入プロセスを追加して、窒素を導入しても良い。

また、FIG. 3C の工程で、ポリシリコン膜 13 をパターニングする際に、シリコン基板 11 までエッチングされている場合の、浮遊ゲート電極 13 の下端部近傍の拡大図を FIG. 4B に示す。図中、斜線部は窒素の高濃度領域を示している。

酸素ガス雰囲気で後酸化した場合（従来技術）の FIG. 16B と比較して、本発明では、酸素ラジカルを含む雰囲気中で酸化を行っているので、シリコン酸窒化膜（トンネル絶縁膜）12 中の基板界面側と膜表面側の窒素が脱離し、酸化が十分に進行するため、浮遊ゲート電極 13 の下端部およびシリコン基板 11 の上端部の丸まり形状が顕著になる。

その結果、浮遊ゲート電極 13 の下端部およびソース／ドレイン領域 17 の電界が緩和され、さらにシリコン酸窒化膜（トンネル絶縁膜）12 の裏面側（基板界面側）と表面側の近傍部分のプロセスダメージが回復するため、絶縁耐性が向上する。また、トンネル絶縁膜としてシリコン窒化膜を用いた場合も、同様の効果を得ることが可能である。

（第 3 の実施例）

次に、本発明の第 3 の実施例に係る MOS トランジスタの製造方法について説明する。本実施例では、ゲート絶縁膜として、シリコン窒化膜を用いた例について説明する。なお、本実施例の製造方法を示す工程断面図は、第 1 の実施例のそ

れと同じなので、ここではFIG. 1A-1Fを用いて説明を行う。

まず、FIG. 1Aに示すように、シリコン基板1の平坦に仕上げられた表面に、原料としてモノシランとアンモニアを用いたLPCVD法で、ゲート絶縁膜としての厚さ3nmのシリコン窒化膜2'を形成する。

次に、原料としてモノシランを用いたLPCVD法により、シリコン窒化膜2'上に厚さ150nmのアンドープのポリシリコン膜を形成し、続いてこのアンドープのポリシリコン膜にドーパンドとしてボロン(B)をイオン注入することによって、FIG. 1Bに示すように、ゲート電極となる低抵抗のポリシリコン膜3を形成する。

ここで、ドーパンドの導入は、熱拡散法を用いて行っても良い。また、ドーパンドとして隣(P)、砒素(As)等のドナーを用いても良い。上記ドーパンドの導入は成膜と同時にあっても良いし、あるいは後酸化の後(ポリシリコン膜3を加工した後)に行っても良い。

次に、FIG. 1Cに示すように、ポリシリコン膜3上にフォトレジストを塗布し、写真触刻法を用いてパターニングすることによって、ゲート電極形成用のレジストパターン4を形成する。

次に、FIG. 1Dに示すように、レジストパターン4をマスクとして用い、ポリシリコン膜3をドライエッチングによりパターニングしてゲート電極を形成した後、アッシング法によりレジストパターン4を除去する。

次に、ランプ加熱方式の枚葉式酸化炉内にシリコン基板1を搬入した後、同炉内に酸素と水素の混合ガス(酸素50%)を導入しながら、900°C、10秒、650Paの条件で熱処理を行うことで、FIG. 1Eに示すように、ゲート電極3の表面(側面、上面)およびシリコン窒化膜(ゲート絶縁膜)2'の露出表面を酸化して、後酸化膜5を形成する。上記酸化は、酸素と水素との反応で生じる酸素ラジカルにより行われる。

後酸化膜5の膜厚は、シリコン基板1上で4nm、ゲート電極3の側壁部で5nm程度となる。この後酸化の酸化温度は、シリコン酸窒化膜2中の窒素の脱離効率を高め、ゲート電極3の下端部の曲率半径を大きくし、かつ短時間でのシリコン窒化膜2'の欠陥回復を可能にするためには、900°C以上の高温が望まし

い。

また、酸化圧力は、酸素と水素との反応で雰囲気中のオゾンが失活しないよう¹に、1 kPa 以下の低圧が望ましい。なお、この後酸化は、続いて行うソース／ドレイン領域 6 の形成工程後に行っても良い。

最後に、FIG. 1 F に示すように、ゲート電極 3 をマスクに用いてドーパントを基板表面にイオン注入により導入した後、ランプアニール法によりドーパントの活性化を行うことによって、ソース／ドレイン領域 6 を自己整合的に形成する。この後、周知の方法に従って図示しない層間絶縁膜、金属配線等を形成して、MOS ラジカルトランジスタが完成する。

FIG. 5 A に、本実施例の方法により形成した、ゲート電極 3 の下端部近傍の拡大図を示す。図中、斜線部は窒素の高濃度領域を示している。本発明では、酸素ラジカルを含む雰囲気中で後酸化を行っているので、ゲート絶縁膜（シリコン窒化膜）2' のうち、ゲート電極 3 の下端部近傍およびゲート電極除去領域の部分は、窒素が脱離し、酸化反応が進行して、シリコン酸化膜に変換される。

その後、さらにゲート絶縁膜（シリコン窒化膜）2' の酸化を続けることで、ゲート電極 3 の下部の仕上がり形状は、酸素ガス雰囲気で後酸化した場合（従来技術）の形状（FIG. 15 C に示した形状）と比較して、バーズピークの形成が顕著になる。

その結果、ゲート電極 3 の下端部の形状が十分に丸まるとともに、ゲート電極 3 の下端部とソース／ドレイン領域 6 との間の距離が長くなつて、ゲート電極 3 の下端部およびソース／ドレイン領域 6 の電界が緩和され、素子の絶縁耐性が向上する。

なお、FIG. 1 E の工程では、後酸化に用いる酸素ラジカルを、酸素と水素の反応で発生させたが、他の方法で発生させたも良い。また、オゾン雰囲気中の熱処理でも同様の効果が得られる。また、オゾンや酸素ラジカルを用いた後酸化で得られた後酸化膜の膜厚が不足した場合は、後酸化後に通常の酸化を追加すれば、FIG. 5 B に示すように、所望の厚さの後酸化膜 5 を得ることができる。

さらにまた、後酸化でゲート電極 3 の下端部近傍のシリコン窒化膜（ゲート絶

縁膜) 2' 中の窒素が脱離することが望ましくない場合には、後酸化の後に例えば一酸化窒素等の窒化性ガス雰囲気中での熱処理など、通常の窒素導入プロセスを追加すれば、FIG. 5 C に示すように、ゲート電極 3 の下端部近傍のシリコン窒化膜(ゲート絶縁膜) 2' 中に窒素を導入することができる。

また、FIG. 1 D の工程で、ポリシリコン膜 3 をパターニングする際に、シリコン窒化膜 2' までエッチングされている場合の、ゲート電極 3 の下端部近傍の拡大図を FIG. 5 D に示す。図中、斜線部は窒素の高濃度領域を示している。

従来技術である酸素ガス雰囲気中の後酸化(FIG. 16 C)と比較して、本発明では酸素ラジカルを含む雰囲気中で後酸化を行っているので、シリコン窒化膜(ゲート絶縁膜) 2' 中の窒素が脱離し、酸化が十分に進行するため、シリコン基板 1 の上端部およびゲート電極 3 の下端部の丸まり形状が顕著になる。その結果、ゲート電極 3 の下端部およびソース／ドレイン領域 6 の電界が緩和され、素子の絶縁耐性が向上する。

また、本実施例では、ドライエッチングで露出したシリコン窒化膜(ゲート絶縁膜) 2' を完全に酸化した後、さらに酸化を続けたが、FIG. 5 E に示すようにシリコン窒化膜(ゲート絶縁膜) 2' の露出部の表面側のみを酸化膜に変換しても同様の効果が得られる。

従来技術の酸素ガス雰囲気で後酸化した場合(FIG. 15 C)と比較して、本発明では、ゲート電極 3 の下端部形状が酸化の進行により丸まり、ゲート電極 3 の下端部およびソース／ドレイン領域 6 の電界が緩和され、素子の絶縁耐性が向上する。

本実施例のシリコン窒化膜(ゲート絶縁膜) 2' は、原料としてモノシランとアンモニアを用いた LPCVD 法で形成したが、プラズマ窒化法、JVD (Jet Vapour Deposition) 法等の他の方法で形成しても、同様の効果が得られる。また、シリコン窒化膜(ゲート絶縁膜) 2' 中にシリコンと窒素以外の元素が含まれていても良く、シリコンと窒素が主成分の膜であれば、同様な効果が得られる。

(第 4 の実施例)

FIG. 6 A - 6 H は本発明の第 4 の実施例に係る MOS トランジスタの製造

方法を示す工程断面図である。ここでは、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの製造方法について説明する。

まず、FIG. 6 Aに示すように、MOSトランジスタのしきい値制御のためのチャネルドーピングを行ったシリコン基板21の表面に、ゲート絶縁膜としての厚さ5nmのシリコン酸化膜22を公知の熱酸化／熱窒化法で形成する。チャネルドーピングは、50keV、 $3 \times 10^{19} \text{ cm}^{-2}$ の条件でイオン注入法により基板表面にドーパントとしてホウ素イオンを導入した後、ドーパントを活性化するためのアニールを例えれば1050°C、20秒の条件で行う。

次に、FIG. 6 Aに示すように、シリコン酸化膜22上にゲート電極となる厚さ150nmのポリシリコン膜23をCVD法で堆積した後、ポリシリコン膜23をエッティングする際のマスクとしてのSiNパターン24となる厚さ100nmのシリコン窒化膜をポリシリコン膜23上にCVD法で堆積する。

次に、FIG. 6 Aに示すように、リソグラフィー技術を用いて、幅が最小線幅(100nm)のゲートレジストパターン(図示しない)を上記シリコン窒化膜上に形成し、これをマスクにして上記シリコン窒化膜をRIE法でエッティングして、SiNパターン24を形成する。

次に、上記ゲートレジストパターンを除去し、シリコン基板21を縦型バッチ式酸化炉内に搬入し、同炉内にオゾンと酸素との混合ガス(オゾン10%)を導入しながら、850°C、2時間、100Paの条件で酸化処理を行い、FIG. 6 Bに示すように、SiNパターン24の露出表面に厚さ10nmのシリコン酸化膜25を形成する。このとき、ポリシリコン膜23の露出表面にもシリコン酸化膜25は形成される。

シリコン窒化膜の酸化反応は膜中の窒素が脱離しながら進む。そのため、元のSiNパターン24の表面位置とシリコン酸化膜25の表面位置は、ほぼ等しくなる。これにより、SiNパターン24の幅は上部で80nmとなり、リソグラフィーの能力を超えた微細サイズのSiNパターン24が得られる。なお、SiNパターン24の下部は、酸化剤の供給不足で酸化速度が遅くなる。そのため、SiNパターン24の下部の幅は85nmとなる。

次に、FIG. 6 Cに示すように、シリコン酸化膜25を希フッ酸溶液で除去

した後、SiNパターン24をマスクにして、ポリシリコン膜23をRIE法でエッチングし、幅85nmのゲート電極23を形成する。この後、SiNパターン24をリン酸溶液で除去する。このとき、シリコン酸窒化膜（ゲート絶縁膜）22の露出部分も除去される。

次に、FIG. 6Dに示すように、850°Cの温度で熱酸化を行い、厚さ5nmの後酸化膜26をシリコン基板21、シリコン酸窒化膜22およびゲート電極23の露出表面に形成する。

次に、FIG. 6Dに示すように、ゲート電極23をマスクにして、例えば10keV、 $5 \times 10^{14} \text{ cm}^{-2}$ の条件で、イオン注入法によりドーパントとして砒素イオンを後酸化膜26を通して基板表面に導入した後、ドーパントを活性化するためのアニールを例えば800°C、10秒の条件で行うことで、エクステンション領域（低不純物濃度で浅い拡散領域）27を自己整合的に形成する。ここでは、ポリシリコン膜23を加工した後にドーパントの導入を行ったが、成膜と同時に、あるいは成膜後、ポリシリコン膜23を加工する前に行っても良い。

次に、FIG. 6Eに示すように、サイドウォールスペーサ28となる厚さ50nmのシリコン窒化膜をCVD法で全面に堆積した後、このシリコン窒化膜を公知のエッチバックRIE法でエッチングし、ゲート部の側壁にサイドウォールスペーサ28を形成する。サイドウォールスペーサ28の仕上り厚さは、ほぼ50nmである。

次に、FIG. 6Eに示すように、60keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入法により基板表面およびゲート電極23にドーパントとして砒素イオンを導入した後、ドーパントを活性化するためのアニールを例えば1000°C、10秒の条件で行うことで、ゲート電極23の抵抗を下げるとともに、ソース／ドレイン領域（高不純物濃度で深い拡散領域）29を形成する。

次に、FIG. 6Fに示すように、露出している後酸化膜26を希フッ酸溶液で除去した後、全面に厚さ10nmのコバルト膜30をスパッタ法で形成する。

次に、FIG. 6Gに示すように、500°C、60秒のアニール、770°C、30秒のアニールを順次行い（2段階アニールを行い）、ゲート電極23およびソース／ドレイン領域29の上部表面にコバルトシリサイド膜31を形成した後

、未反応のコバルト膜30を除去する。

その後、公知の技術で、層間絶縁膜や配線を形成し、ゲート電極幅が85nmの微細サイズのMOSトランジスタを完成させる。

本実施例では、ポリシリコン膜23をエッチングする際のマスクとして、ポリシリコン膜23に対してエッチング選択比が取れるシリコン窒化膜からなるSiNパターン24を用いている。そのため、SiNパターン24のアスペクト比は高くならない。そのため、ゲート電極23の仕上り加工形状のばらつきを大幅に低減できる。さらに、SiNパターン24が倒れるという問題も起こらない。

また、SiNパターン24の酸化をオゾン雰囲気中で行っているので、熱バジエットを大幅に低減でき、シリコン基板21中のホウ素の濃度プロファイルの変化が問題となることはない。

さらに、オゾン雰囲気中での酸化は、プラズマ酸化の場合とは異なり、シリコン酸窒化膜（ゲート酸窒化膜）22はプラズマダメージを受けないので、ゲート絶縁膜22の信頼性の低下や、MOSトランジスタの特性変動という問題は起こらない。

これらの効果は、オゾン雰囲気の酸化に限らず、酸素ラジカル雰囲気の酸化でも同様に得られる。また、プラズマダメージによるMOSトランジスタの特性変動を許容できる場合、酸素またはオゾン雰囲気のプラズマ酸化法を併用することが可能となる。

（第5の実施例）

第4の実施例で示された製造方法では、ゲート電極となる膜を酸化する工程が用いられている。そのため、上記製造方法は、ゲート電極の全てまたは一部として、タンクステン膜等の異常酸化を引き起こす導電膜を使用する場合には、適用できない。本実施例では、このような導電膜を用いた場合における、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの製造方法について説明する。

まず、FIG. 7Aに示すように、MOSトランジスタのしきい値制御のためのチャネルドーピングを第4の実施例と同様に行ったシリコン基板41の表面に、ゲート絶縁膜としての厚さ5nmのシリコン窒化膜42を公知のCVD法で形

0000000000000000

成する。

次に、FIG. 7 Aに示すように、シリコン窒化膜4 2上にゲート電極となる厚さ100 nmのポリシリコン膜4 3をCVD法で形成し、さらに厚さ100 nmのタンゲステン膜4 4をスパッタ法で形成した後、ポリシリコン膜4 3、タンゲステン膜4 4をエッチングする際のSiNパターンとなる厚さ150 nmのシリコン窒化膜4 5をCVD法で形成する。ここで、ポリシリコン膜4 3を低抵抗化するためのドーパントの導入は、ポリシリコン膜4 3の成膜と同時に、ポリシリコン膜4 3を形成後で同膜4 3の加工を行う前、あるいは後酸化の後（ポリシリコン膜4 3を加工した後）に行っても良い。

次に、FIG. 7 Bに示すように、リソグラフィー技術を用いて、幅が最小線幅（100 nm）のゲートレジストパターン（図示しない）を形成し、これをマスクにしてシリコン窒化膜4 5の表面を100 nmだけRIE法によりエッチングする。その結果、ゲートレジストパターンで覆われていない領域のシリコン窒化膜4 5の膜厚は50 nmとなる。この後、ゲートレジストパターンを除去し、シリコン基板4 1をリモートプラズマ酸化炉内に搬入する。

次に、リモートプラズマ酸化炉内に酸素ラジカルを導入しながら、900°C、10分、100 Paの条件で熱処理を行い、FIG. 7 Cに示すように、シリコン窒化膜4 5の露出表面に厚さ10 nmのシリコン酸化膜4 6を形成する。

シリコン窒化膜の酸化反応は膜中の窒素が脱離しながら進む。そのため、元のシリコン窒化膜4 5の表面位置とシリコン酸化膜4 6の表面位置は、ほぼ等しくなる。これにより、シリコン酸化膜4 6を形成した後のシリコン窒化膜4 5の幅は上部で80 nmとなり、リソグラフィーの能力を超えた微細サイズのゲート電極パターンを得ることが可能となる。ゲート電極パターン以外の領域のシリコン窒化膜4 5の膜厚は40 nmとなる。

次に、FIG. 7 Dに示すように、シリコン酸化膜4 6を希フッ酸溶液で除去した後、シリコン窒化膜4 5の全面をRIE法でエッチングし、ゲート電極パターン以外の領域のシリコン窒化膜4 5を除去して、SiNパターンを形成する。このとき、残ったシリコン酸化膜4 6の下部の幅は85 nmとなる。

次に、FIG. 7 Eに示すように、SiNパターン4 5をマスクにしてタング

ステン膜44、ポリシリコン膜43をRIE法で順次エッチングし、ポリシリコン膜43とタングステン膜44の積層膜からなるポリサイド構造を有する幅85nmのゲート電極を形成する。

この後の工程は、第4の実施例と同様の手法で、後酸化膜、サイドウォールスペーサ、エクステンション領域、ソース／ドレイン領域を形成して、金属膜としてタンゲステン膜を用いたポリサイド構造を有し、ゲート電極幅が85 nmの微細サイズのMOSトランジスタが完成する。

本実施例によれば、微細な SiN パターンを形成するためのシリコン窒化膜 45 の酸化工程 (FIG. 7C) において、タンゲステン膜 44 はシリコン窒化膜 45 で覆われているため、異常酸化が起こることはない。また、本実施例の MOS ドラフトトランジスタは、第 4 の実施例と同様の効果を有することが確認された。

(第6の実施例)

第4の実施例、第5の実施例で示された製造方法では、SiNパターンの形状に起因して、SiNパターンの最小幅よりも太い幅のゲート電極が形成されることになる。本実施例では、この問題を解決した、リソグラフィーの能力を超えた微細サイズのMOSトランジスタの製造方法について説明する。

まず、FIG. 8Aに示すように、MOSトランジスタのしきい値制御のためのチャネルドーピングを行ったシリコン基板51の表面に、ゲート絶縁膜としての厚さ5nmのシリコン酸窒化膜52およびゲート電極となる厚さ150nmのポリシリコン膜53を公知のCVD法で形成する。

上記チャネルドーピングは、150 keV、 $3 \times 10^{19} \text{ cm}^{-2}$ の条件でイオン注入法により基板表面にドーパントとしてホウ素イオンを導入した後、ドーパントを活性化するためのアニールを例えば1050°C、20秒の条件で行う。また、ポリシリコン膜53を低抵抗化するためのドーパントの導入は、ポリシリコン膜53の成膜と同時に、ポリシリコン膜53を形成後で同膜53の加工を行う前、あるいは後酸化の後（ポリシリコン膜53を加工した後）に行っても良い。

次に、FIG. 8 Aに示すように、ポリシリコン膜53の表面に厚さ5nmのシリコン酸化膜54を熱酸化法で形成した後、シリコン酸化膜54上に厚さ10nmのシリコン窒化膜55をCVD法で形成する。シリコン酸化膜54および

シリコン窒化膜55は、それぞれ、ポリシリコン膜53をエッティングする際のマスクとしてのSiO₂パターンおよびSiNパターンとなる。

次に、FIG. 8Bに示すように、リソグラフィー技術を用いて、幅が最小線幅(100nm)のゲートレジストパターン(図示しない)を形成し、これをマスクにしてシリコン窒化膜55、シリコン酸化膜54をRIE法で順次エッティングして、SiO₂パターンおよびSiNパターンを形成する。この後、上記ゲートレジストパターンを除去し、シリコン基板51を縦型バッチ式酸化炉内に搬入する。

次に、縦型バッチ式酸化炉内にオゾンと酸素の混合ガス(オゾン10%)を導入しながら、850°C、2時間、100Paの条件で熱処理を行い、FIG. 8Cに示すように、SiO₂パターン54およびSiNパターンマスク55の露出表面に厚さ10nmのシリコン酸化膜56を形成する。このとき、ポリシリコン膜53の露出表面にもシリコン酸化膜56は形成される。

シリコン窒化膜の酸化反応は膜中の窒素が脱離しながら進む。そのため、元のSiNパターン55の表面位置とシリコン酸化膜56の表面位置は、ほぼ等しくなる。これにより、SiNパターン55の幅は80nmとなり、リソグラフィーの能力を超えた微細サイズのSiNパターン55が得られる。さらに、SiNパターン55の下部は、酸化剤の拡散の速いシリコン酸化膜からなるSiO₂パターン55で形成されているため、上記下部はエッジが丸まった形状になる。

次に、FIG. 8Dに示すように、シリコン酸化膜56を希フッ酸溶液で除去する。このとき、SiO₂パターン54もわずかに除去されるため、ポリシリコン膜53には、肩部57が形成される。

次に、FIG. 8Eに示すように、パターン54、55をマスクにして、ポリシリコン膜53をRIE法でエッティングし、幅80nmのゲート電極53を形成する。このとき、ポリシリコン膜53に形成された肩部57の影響で、ゲート電極53の上部エッジ58は丸まる。

次に、FIG. 8Fに示すように、SiNパターン膜55およびゲート酸窒化膜52の露出部分と、シリコン酸化膜54の全体とをリン酸溶液で除去した後、850°Cの熱酸化を行い、厚さ5nmの後酸化膜59をシリコン基板51および

ゲート電極 5 3 の露出表面に形成する。

次に、FIG. 8 F に示すように、5 keV、 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入法によりドーパントとしてフッ化ホウ素イオンを後酸化膜 5 9 を通して基板表面に導入した後、ドーパントを活性化するためのアニールを例えば 800°C、10 秒の条件で行うことで、エクステンション領域 6 0 を形成する。

次に、FIG. 8 F に示すように、サイドウォールスペーサ 6 1 となる厚さ 50 nm のシリコン窒化膜を CVD 法で全面に堆積した後、このシリコン窒化膜を公知のエッチバック RIE 法でエッチングし、サイドウォールスペーサ 6 1 を形成する。サイドウォールスペーサ 6 1 の仕上り厚さは、ほぼ 50 nm である。

次に、FIG. 8 F に示すように、60 keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入法によりドーパントとして砒素イオンを基板表面およびゲート電極 3 3 内に導入した後、ドーパントを活性化するためのアニールを例えば 1000°C、10 秒の条件で行うことで、ゲート電極 5 3 の抵抗を下げるとともに、ソース／ドレイン領域 6 2 を形成する。

次に、FIG. 8 G に示すように、露出している後酸化膜 5 9 を希フッ酸溶液で除去し、全面に厚さ 10 nm のコバルト膜（不図示）をスパッタ法で形成し、500°C、60 秒のアニール、770°C、30 秒のアニールを順次行って（2 段階アニールを行って）、ゲート電極 5 3 およびソース／ドレイン領域 6 2 の上部にコバルトシリサイド膜 6 3 を形成する。その後、未反応のコバルト膜を除去する。ここで、ゲート電極 5 3 の上部に形成されたコバルトシリサイド膜 6 3 は、ゲート電極 5 3 の上部エッジの丸み形状を反映して、その表面積は大きくなる。

その後、公知の技術で、層間絶縁膜や配線を形成し、ゲート電極幅が 85 nm の MOS トランジスタが完成する。

本実施例では、ゲート電極加工用マスクとしてシリコン酸化膜 5 4（下部）／シリコン窒化膜 5 5（上部）の積層膜を用いている。シリコン酸化膜 5 4 はシリコン窒化膜 5 5 よりも酸化剤の拡散が速い。そのため、微細なゲート電極加工用マスクを形成するための酸化工程（FIG. 8 C）において、ゲート電極加工用マスクの下部が太ることない。その結果、マスク最小寸法と同等の微細ゲート電極を有する MOS トランジスタを形成できる。

また、ゲート電極 53 の上部に形成されたコバルトシリサイド膜 63 の表面積が大きいため、ゲート電極 53 の抵抗を効果的に下げる事ができ、MOS ランジスタの高速動作を実現できる。さらに、本実施例の MOS ランジスタは、第 4 の実施例と同様の効果を有することが確認された。

(第 7 の実施例)

FIG. 9A - 9G は、本発明の第 7 の実施例に係る不揮発性メモリセルの製造方法を示す工程断面図である。これはチャネル方向と直交する方向における断面を示している。

まず、FIG. 9A に示すように、トランジスタのしきい値制御のためにホウ素をドーピングしたシリコン基板 71 の表面上に、トンネル絶縁膜としての厚さ 10 nm のシリコン酸化膜 72 を公知の熱酸化／熱窒化法で形成し、さらに浮遊ゲート電極の下層となる厚さ 50 nm のポリシリコン膜 73 をシリコン酸化膜 72 上に CVD 法で形成する。

次に、FIG. 9B に示すように、リソグラフィー技術を用いて、幅および間隔が最小線幅 (100 nm) のトレンチレジストパターン (図示しない) をポリシリコン膜 73 上に形成し、これをマスクにしてポリシリコン膜 73、シリコン酸化膜 72、シリコン基板 71 を RIE 法によりエッチングして、素子分離用の深さ 200 nm のトレンチを形成し、次に上記トレンチレジストパターンを除去してから、上記トレンチを素子分離絶縁膜としてのシリコン酸化膜 74 で埋め込む。

上記トレンチの埋め込みは、シリコン酸化膜 74 を CVD 法で全面に堆積し、トレンチ外部の不要なシリコン酸化膜 74 を CMP 法 (Chemical Mechanical Polishing process) で除去することで行う。不要なシリコン酸化膜 74 の除去を CMP 法で行うことで同時に表面の平坦化も容易に行える。

次に、FIG. 9C に示すように、浮遊ゲート電極の上層となる厚さ 80 nm のリンドープトポリシリコン膜 75 を CVD 法で全面に堆積した後、リンドープトポリシリコン膜 75 上に厚さ 80 nm のシリコン窒化膜からなる、ゲート電極パターンを反転したパターン (以下、SiN パターンという) 76 を形成する。この後、シリコン基板 71 を縦型バッチ式酸化炉内に導入する。

S i Nパターン7 6は、シリコン窒化膜上に幅および間隔が最小線幅（100 nm）のゲートレジストパターン（不図示）を形成し、これをマスクにしてシリコン窒化膜をR I E法によりエッチングすることで形成する。シリコン窒化膜はCVD法で形成する。

次に、縦型バッチ式酸化炉内にオゾンと酸素の混合ガス（オゾン10%）を導入しながら、850°C、2時間、100Paの条件で熱処理を行うことで、FIG. 9Dに示すように、S i Nパターン7 6およびリンドープトポリシリコン膜7 5の露出表面に厚さ10nmのシリコン酸化膜7 7を熱酸化法で形成する。シリコン酸化膜7 7はリンドープトポリシリコン膜7 5をエッチングする際のマスクとなる。

次に、FIG. 9Dに示すように、厚さ150nmのシリコン酸化膜7 8をCVD法で全面に堆積し、S i Nパターン7 6の隙間を埋める。シリコン酸化膜7 8もリンドープトポリシリコン膜7 5をエッチングする際のマスクとなる。

次に、FIG. 9Eに示すように、S i Nパターン7 6をCMPストップに用いて、S i Nパターン7 6の表面が露出するまで、シリコン酸化膜7 7、7 8をCMP法で削って表面を平坦化した後、リン酸溶液でS i Nパターン7 6を除去することで、シリコン酸化膜7 7、7 8とからなる幅120nmのS i O₂パターン（ゲート電極加工用マスク）を形成する。

次に、FIG. 9Fに示すように、S i O₂パターン7 7、7 8をマスクにしてリンドープトポリシリコン膜7 5をR I E法でエッチングし、幅120nmの浮遊ゲート電極の上層を形成する。このとき、隣合う浮遊ゲート電極の間隔は、リソグラフィーの限界幅100nmよりも狭い80nmに形成される。その後、S i O₂パターン7 7、7 8を希フッ酸溶液で除去する。

次に、FIG. 9Gに示すように、浮遊ゲート電極の上層7 5の露出表面を覆うように、厚さ15nmの電極間絶縁膜7 9を公知のCVD法で全面に堆積した後、制御ゲート電極となる厚さ100nmのリンドープトポリシリコン膜8 0を公知のCVD法で電極間絶縁膜7 9上に堆積する。その後、公知の技術に従って不揮発性メモリセルを完成させる。

本実施例では、ポリシリコン膜7 5をエッチングする際のマスクとして、ポリ

シリコン膜 75 に対してエッチング選択比が取れる SiO₂ パターン 77, 78 を用いているので、SiO₂ パターン 77, 78 のアスペクト比を高くする必要ない。そのため、浮遊ゲート電極の仕上り加工形状のばらつきを大幅に低減できる。さらに、SiO₂ パターン 77, 78 が倒れるという問題も起こらない。

また、本実施形態では、SiO₂ パターン 77, 78 の間隔は、SiN パターン 76 の幅よりも狭くなる。したがって、SiO₂ パターン 77, 78 の間隔をリソグラフィの能力を超えた狭い間隔にすることができる。

さらに、SiN パターン 76 の酸化をオゾン雰囲気で行っているので、熱バジエットが大幅に低減でき、シリコン基板 71 に導入したドーパントの濃度プロファイルの変化や、トンネル酸窒化膜 72 の信頼性劣化が問題となることはない。

さらにまた、プラズマ酸化を用いていないので、トンネル酸窒化膜 72 はプラズマダメージを受けず、メモリセル特性の変動は起こらない。

これらの効果は、オゾン雰囲気の酸化に限らず、酸素ラジカル雰囲気の酸化でも同様に得られる。また、プラズマダメージによるメモリセル特性変動を許容できる場合、酸素またはオゾン雰囲気のプラズマ酸化法を用いることもできる。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details and representative embodiments shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.

WHAT IS CLAIMED IS

1. 主面を有する半導体基板であって、前記主面は、第1の領域およびそれよりも表面が低い第2の領域を有し、かつ前記第1の領域と前記第2の領域は繋がっている半導体基板と、

前記第1の領域上に形成され、シリコン、窒素および酸素を含む第1の絶縁膜と、

前記第1の絶縁膜上に形成され、シリコンを含む導電膜と、

前記第2の領域上に形成され、シリコンおよび酸素を含み、前記導電膜および前記第1の絶縁膜とコンタクトする第2の絶縁膜と

を含む半導体装置。

2. 前記第1の絶縁膜のうち前記半導体基板とコンタクトした部分は、前記第1の絶縁膜の残りの部分よりも窒素濃度が高いクレーム1に記載の半導体装置。

3. 前記第1の絶縁膜のうち前記半導体基板とコンタクトした部分の窒素濃度は $5 \times 10^{13} \text{ cm}^{-2}$ 以上であるクレーム2に記載の半導体装置。

4. 前記第2の絶縁膜はさらに窒素を含み、前記第2の絶縁膜のうち前記半導体基板および前記導電膜とコンタクトした部分は、前記第2の絶縁膜の残りの部分よりも窒素濃度が高いクレーム1に記載の半導体装置。

5. 前記第1の絶縁膜は窒素を含むシリコン酸化膜、前記導電膜はドーパントを含んだポリシリコン膜であるクレーム1に記載の半導体装置。

6. 前記第1の絶縁膜はゲート絶縁膜、前記導電膜はゲート電極であるクレーム5に記載の半導体装置。

7. 前記第1の絶縁膜はトンネルゲート絶縁膜、前記導電膜はフローティングゲート電極であるクレーム5に記載の半導体装置。

8. 半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、

前記絶縁膜上にシリコンを含む被加工膜を形成する工程と、

前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、

これらの工程により得られた半導体構造に対して、オゾンおよび酸素ラジカルの一方を含む酸化性ガスを用いて酸化処理を施す工程と

を含む半導体装置の製造方法。

05559752-20202700

9. 前記絶縁膜は、窒素を含むシリコン酸化膜およびシリコン窒化膜の一方であるクレーム 8 に記載の半導体装置の製造方法。

10. 前記絶縁膜はゲート絶縁膜であり、前記被加工膜を加工してゲート電極を形成するクレーム 8 に記載の半導体装置の製造方法。

11. 前記酸化処理を行う前の、前記絶縁膜の前記半導体基板との界面における窒素濃度が、 $5 \times 10^{13} \text{ cm}^{-2}$ 以上となるように、前記絶縁膜を形成するクレーム 8 に記載の半導体装置の製造方法。

12. 半導体基板上にシリコンおよび窒素を含む絶縁膜を形成する工程と、

前記絶縁膜上にシリコンを含む被加工膜を形成する工程と、

前記絶縁膜の一部が露出するべく前記被加工膜を加工する工程と、

これらの工程により得られた半導体構造に対して、オゾンおよび酸素ラジカルの一方を含む酸化性ガスを用いて酸化処理を施す工程と、

前記酸化処理が施された前記半導体構造に対して、窒化処理および追加酸化処理の少なくとも一方を施す工程と

を含む半導体装置の製造方法。

13. 前記絶縁膜は、窒素を含むシリコン酸化膜およびシリコン窒化膜の一方であるクレーム 12 に記載の半導体装置の製造方法。

14. 前記絶縁膜はゲート絶縁膜であり、前記被加工膜を加工してゲート電極を形成するクレーム 12 に記載の半導体装置の製造方法。

15. 前記酸化処理を行う前の、前記絶縁膜の前記半導体基板との界面における窒素濃度が、 $5 \times 10^{13} \text{ cm}^{-2}$ 以上となるように、前記絶縁膜を形成するクレーム 12 に記載の半導体装置の製造方法。

16. シリコン膜を含む被加工膜上にシリコン窒化膜を含む絶縁膜を形成する工程と、

前記絶縁膜をリソグラフィおよびエッチングを用いて加工し、前記絶縁膜からなるパターンを形成する工程と、

酸素ラジカルおよびオゾンの一方を含む雰囲気中で前記パターンを酸化処理して、前記シリコン窒化膜の露出表面をシリコン酸化膜に変換する工程と、

前記シリコン酸化膜を除去することで、前記パターンを微細化する工程と、

前記微細化されたパターンを前記被加工膜に転写し、前記被加工膜を加工する工程と

を含む半導体装置の製造方法。

17. 前記被加工膜の表面が露出しないように前記絶縁膜をエッチングし、前記シリコン窒化膜の露出表面をシリコン酸化膜に変換する工程の後に、前記シリコン酸化膜を除去することで、前記パターンを形成し、

前記第1のパターンを構成する前記絶縁膜のうち膜厚の薄い部分を除去することで、前記微細化されたパターンを形成し、

前記微細化されたパターンをマスクにして前記被加工膜をエッチングすることで、前記パターンを前記被加工膜に転写するクレーム16に記載の半導体装置の製造方法。

18. 前記絶縁膜は、さらにシリコン酸化膜を含み、かつ前記シリコン酸化膜は前記シリコン窒化膜の下に形成されているクレーム16に記載の半導体装置の製造方法。

19. 前記被加工膜は、ゲート電極となるものであるクレーム16に記載の半導体装置の製造方法。

0065659252 00427000

ABSTRACT OF THE DISCLOSURE

ゲート絶縁膜として窒素を含むシリコン酸化膜、ゲート電極としてドーパントを含んだポリシリコン膜を用いたMOSトランジスタの製造方法において、ゲート絶縁膜上にゲート電極を形成した後に、オゾンを用いた酸化処理によって、ゲート電極3の下端部の形状を十分に丸める。

000000000000000000000000

FIG. 1A

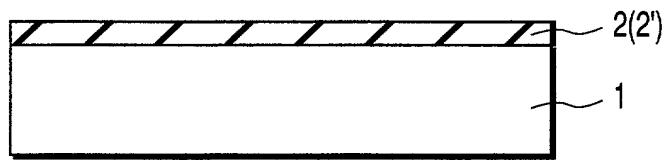


FIG. 1B

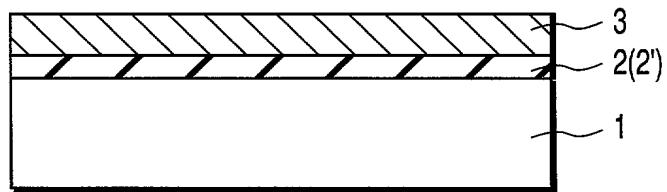


FIG. 1C

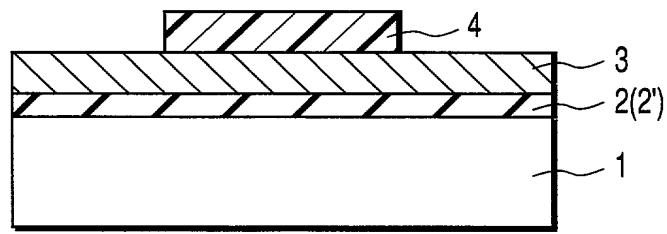


FIG. 1D

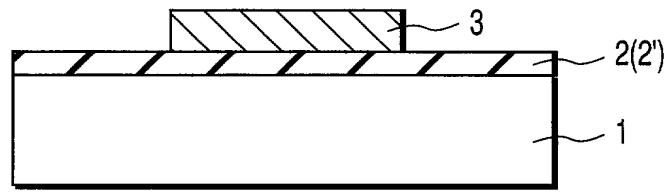


FIG. 1E

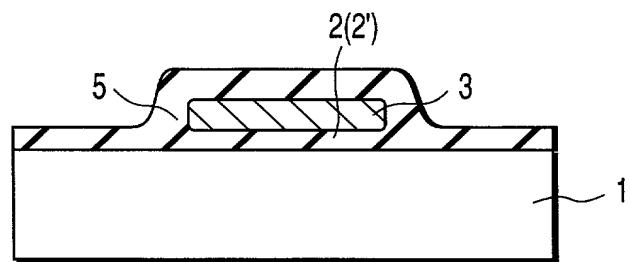
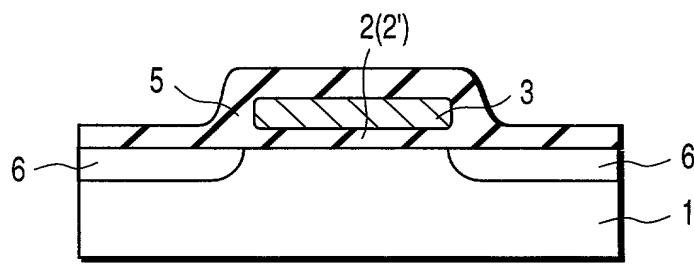


FIG. 1F



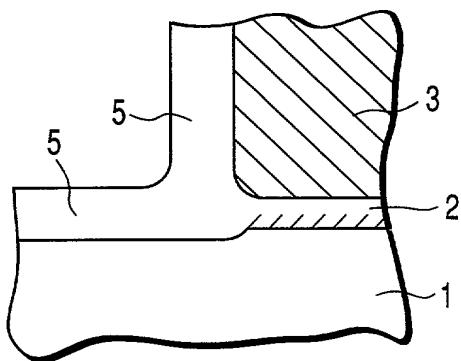


FIG. 2A

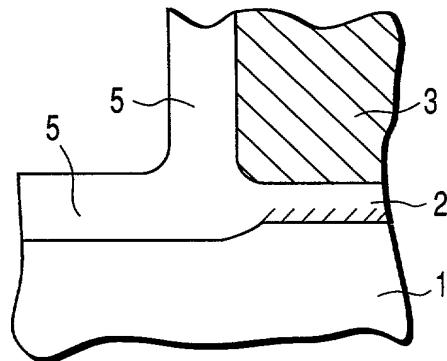


FIG. 2B

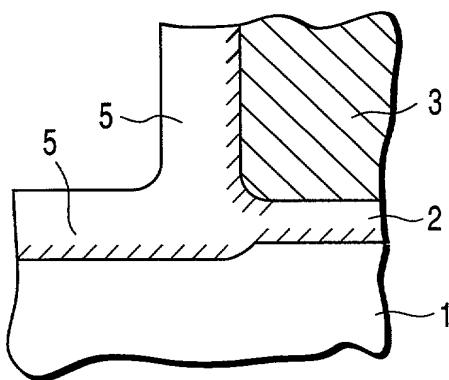


FIG. 2C

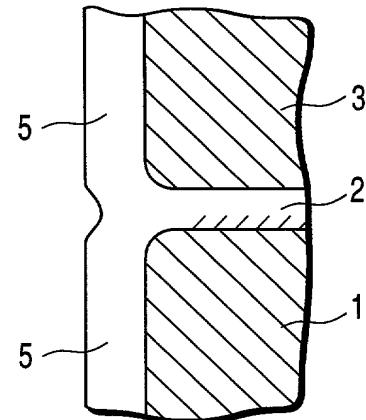


FIG. 2D

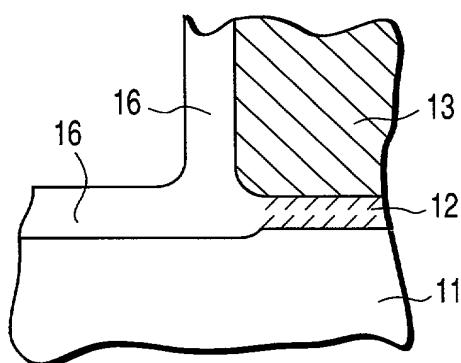


FIG. 4A

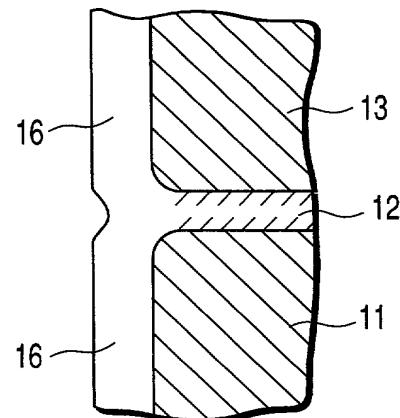


FIG. 4B

FIG. 3A

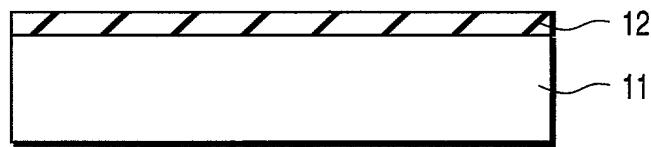


FIG. 3B

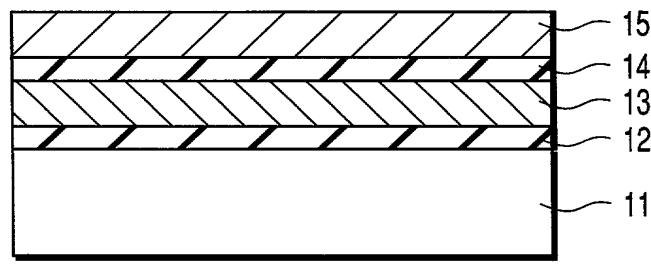


FIG. 3C

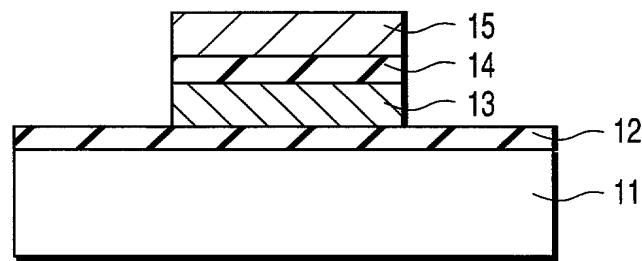


FIG. 3D

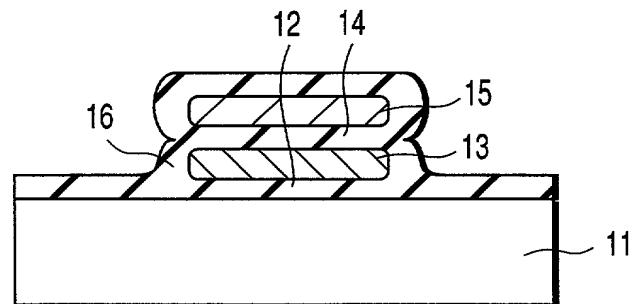
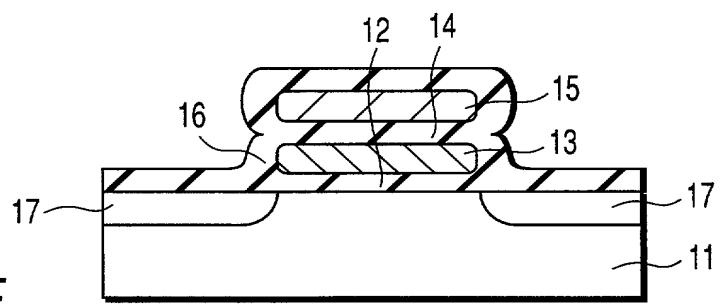


FIG. 3E



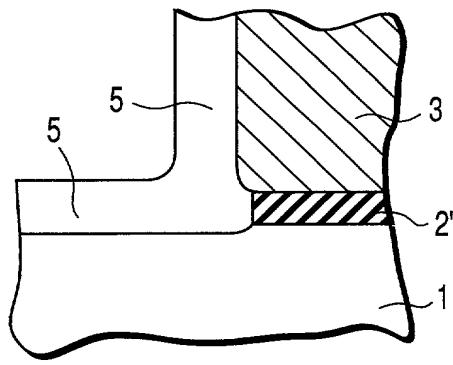


FIG. 5A

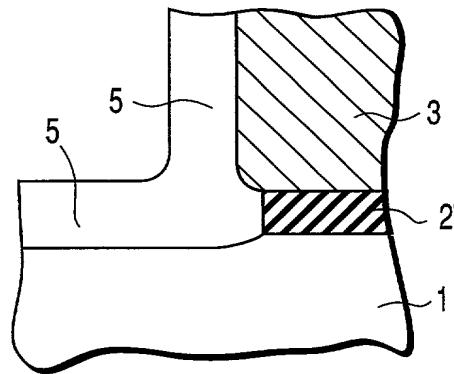


FIG. 5B

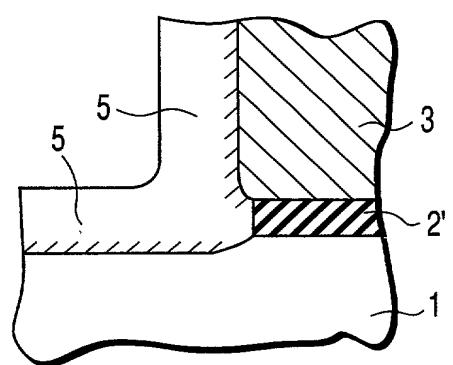


FIG. 5C

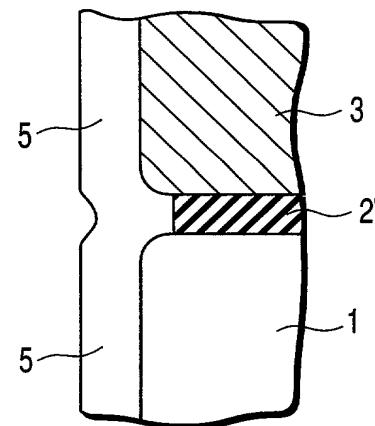


FIG. 5D

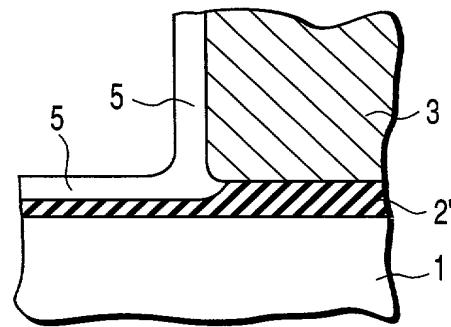


FIG. 5E

0022459560

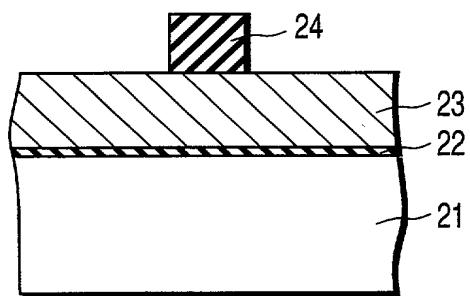


FIG. 6A

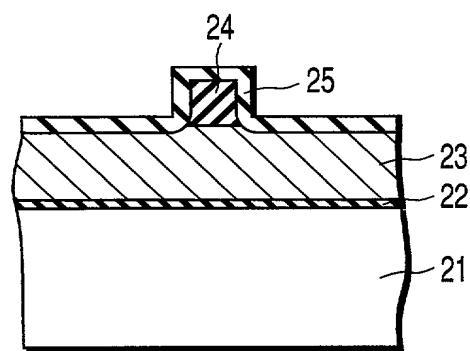


FIG. 6B

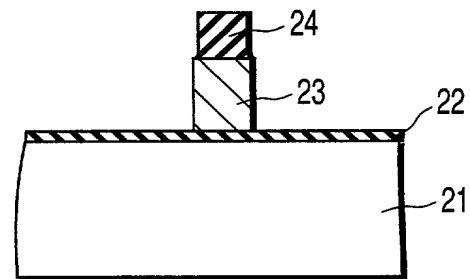


FIG. 6C

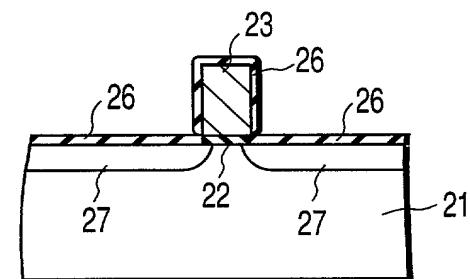


FIG. 6D

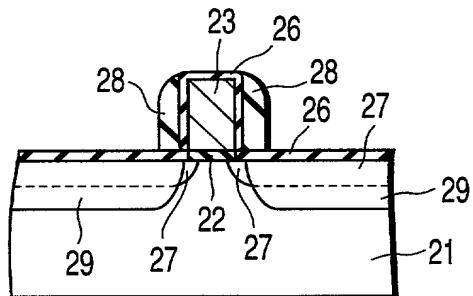


FIG. 6E

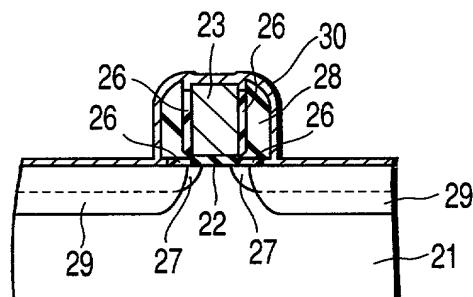


FIG. 6F

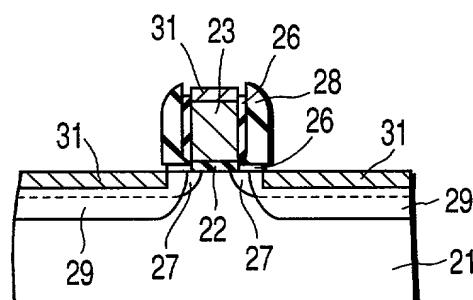


FIG. 6G

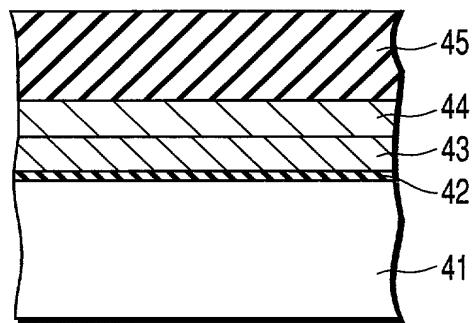


FIG. 7A

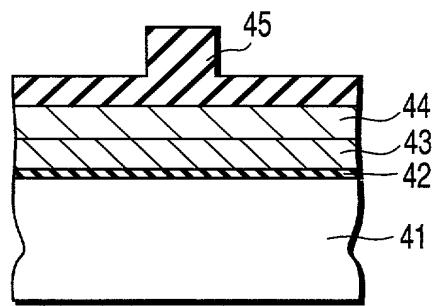


FIG. 7B

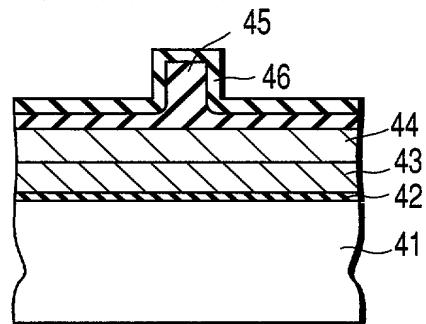


FIG. 7C

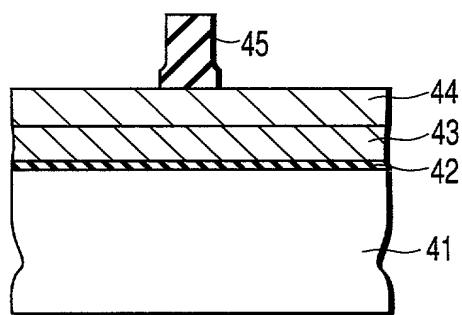


FIG. 7D

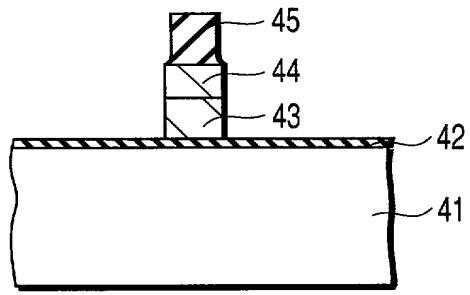


FIG. 7E

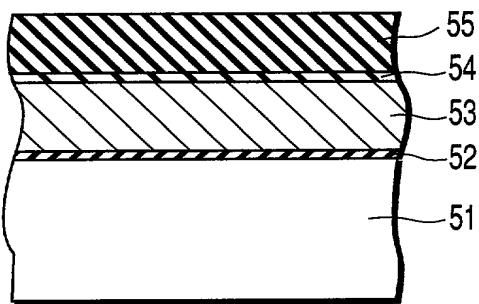


FIG. 8A

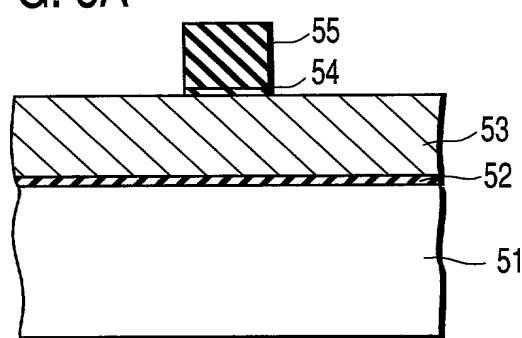


FIG. 8B

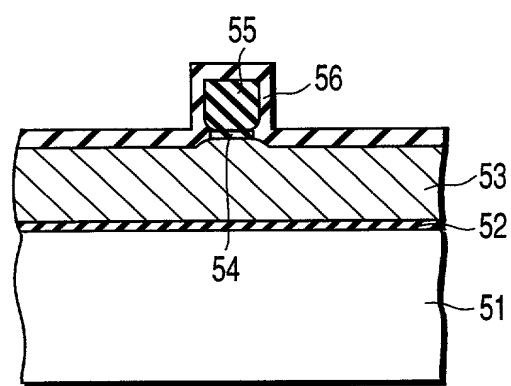


FIG. 8C

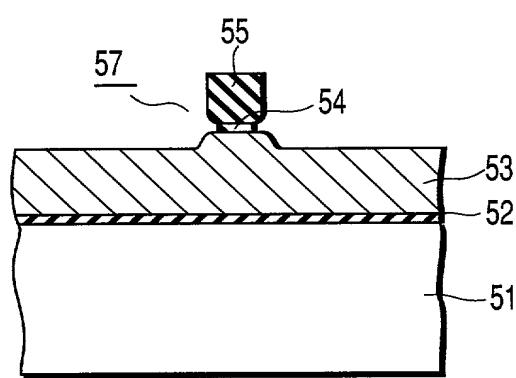


FIG. 8D

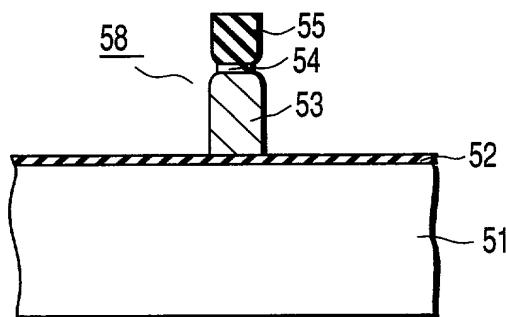


FIG. 8E

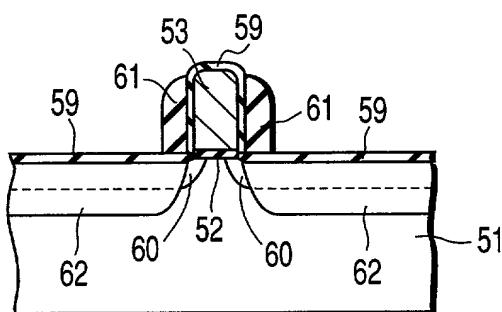


FIG. 8F

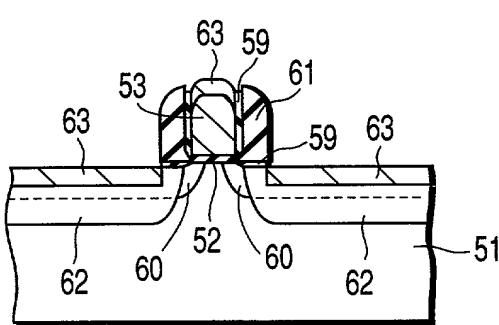


FIG. 8G

09669752 - 04200

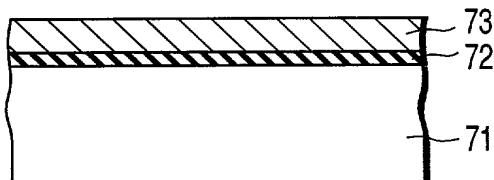


FIG. 9A

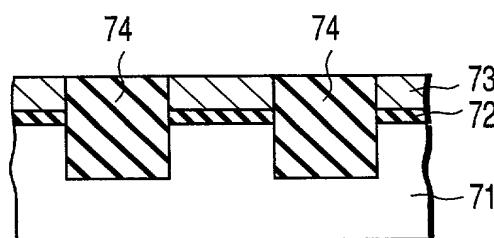


FIG. 9B

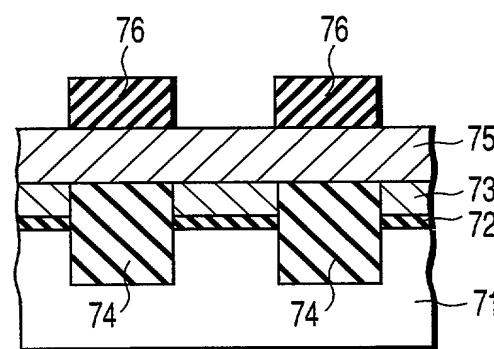


FIG. 9C

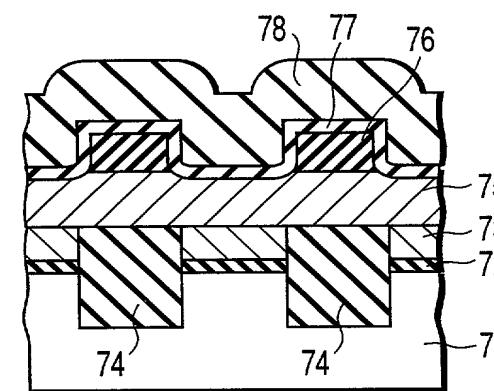


FIG. 9D

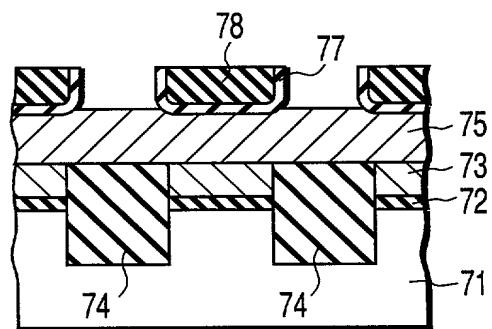


FIG. 9E

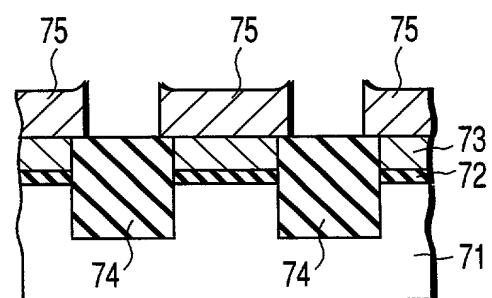


FIG. 9F

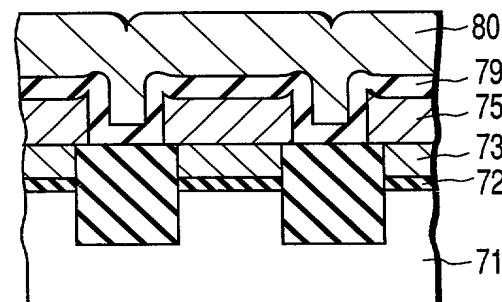


FIG. 9G

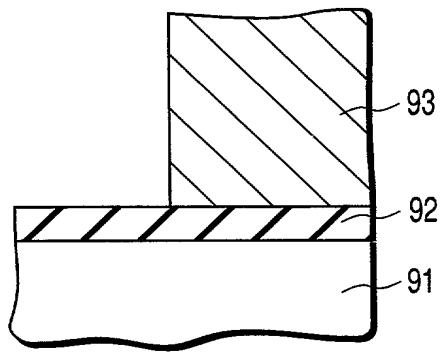


FIG. 10A

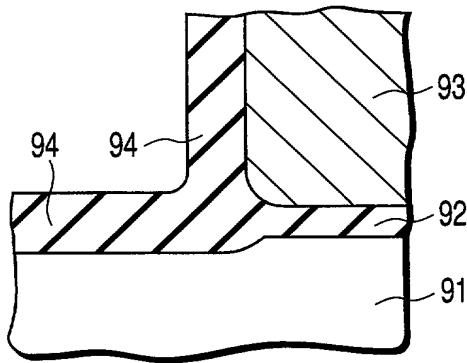


FIG. 10B

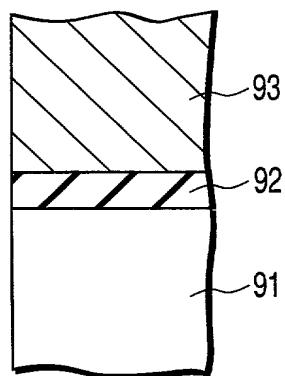


FIG. 11A

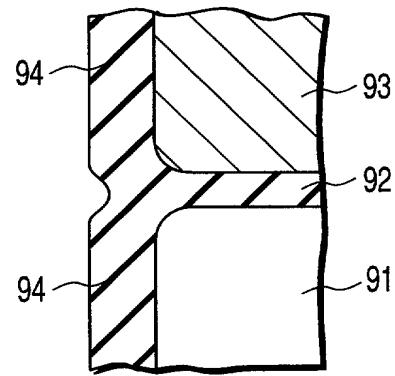


FIG. 11B

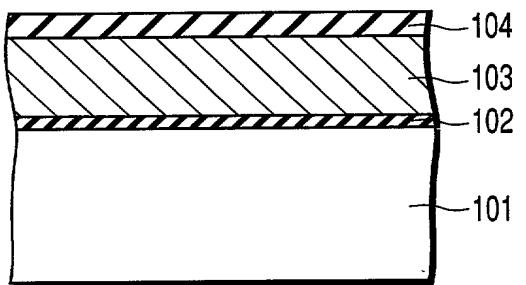


FIG. 12A

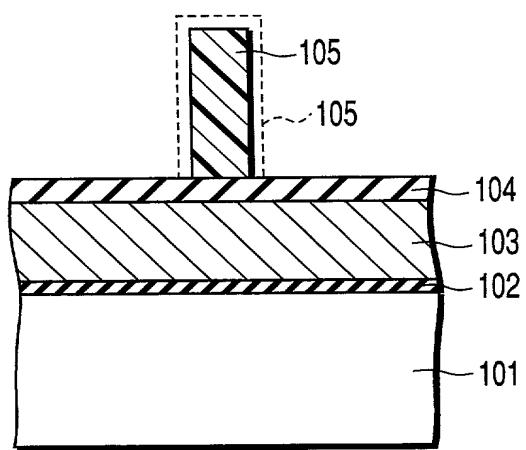


FIG. 12B

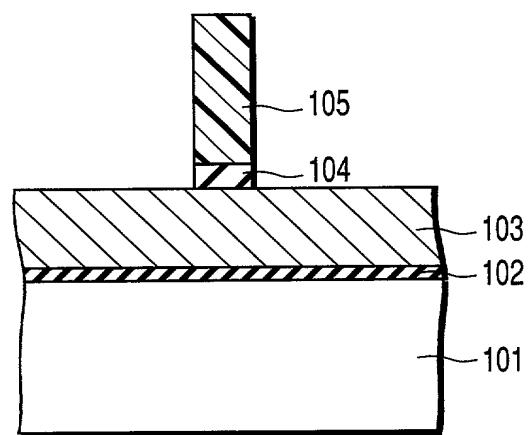


FIG. 12C

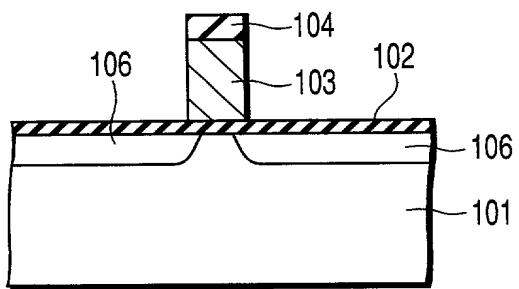


FIG. 12D

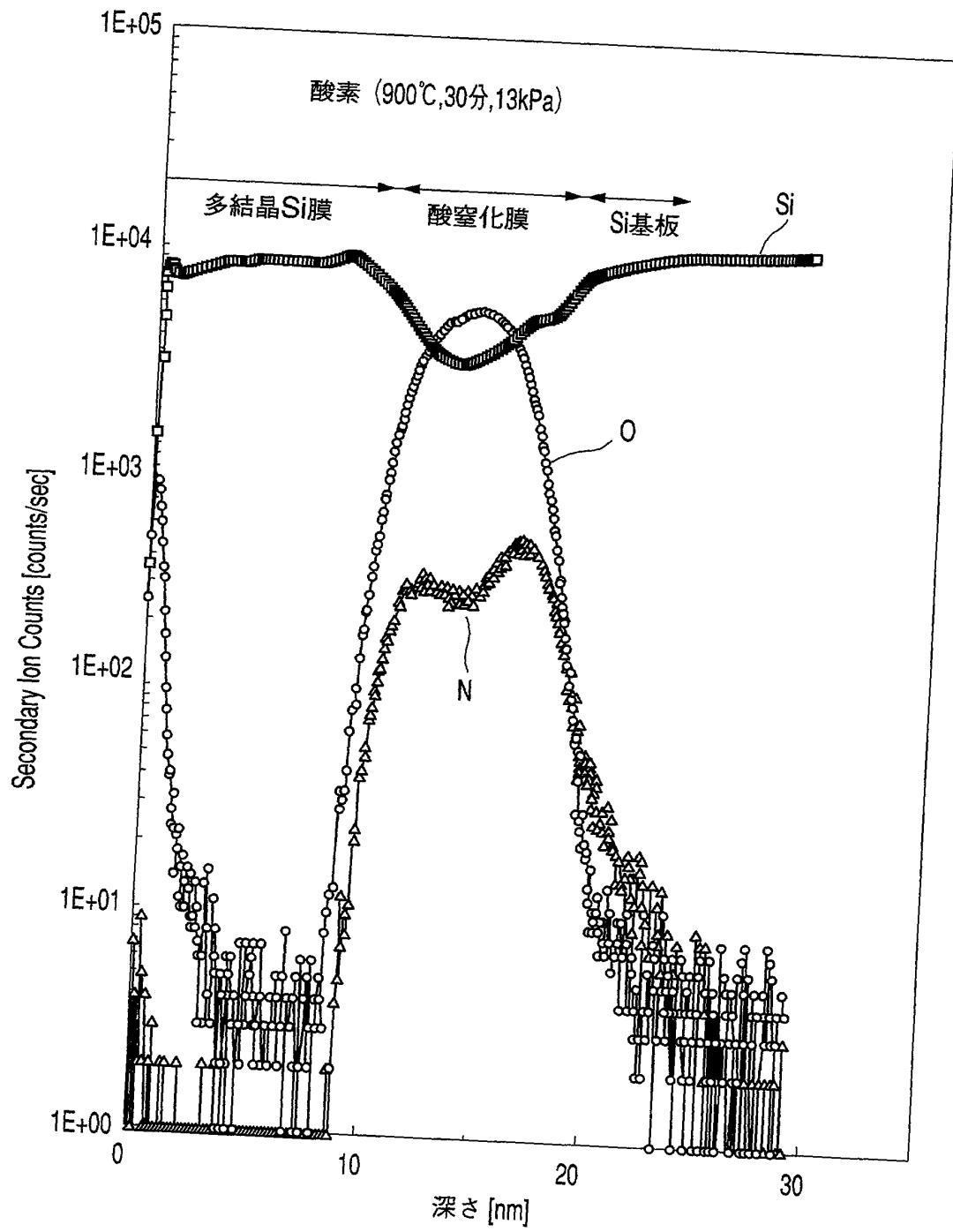


FIG. 13

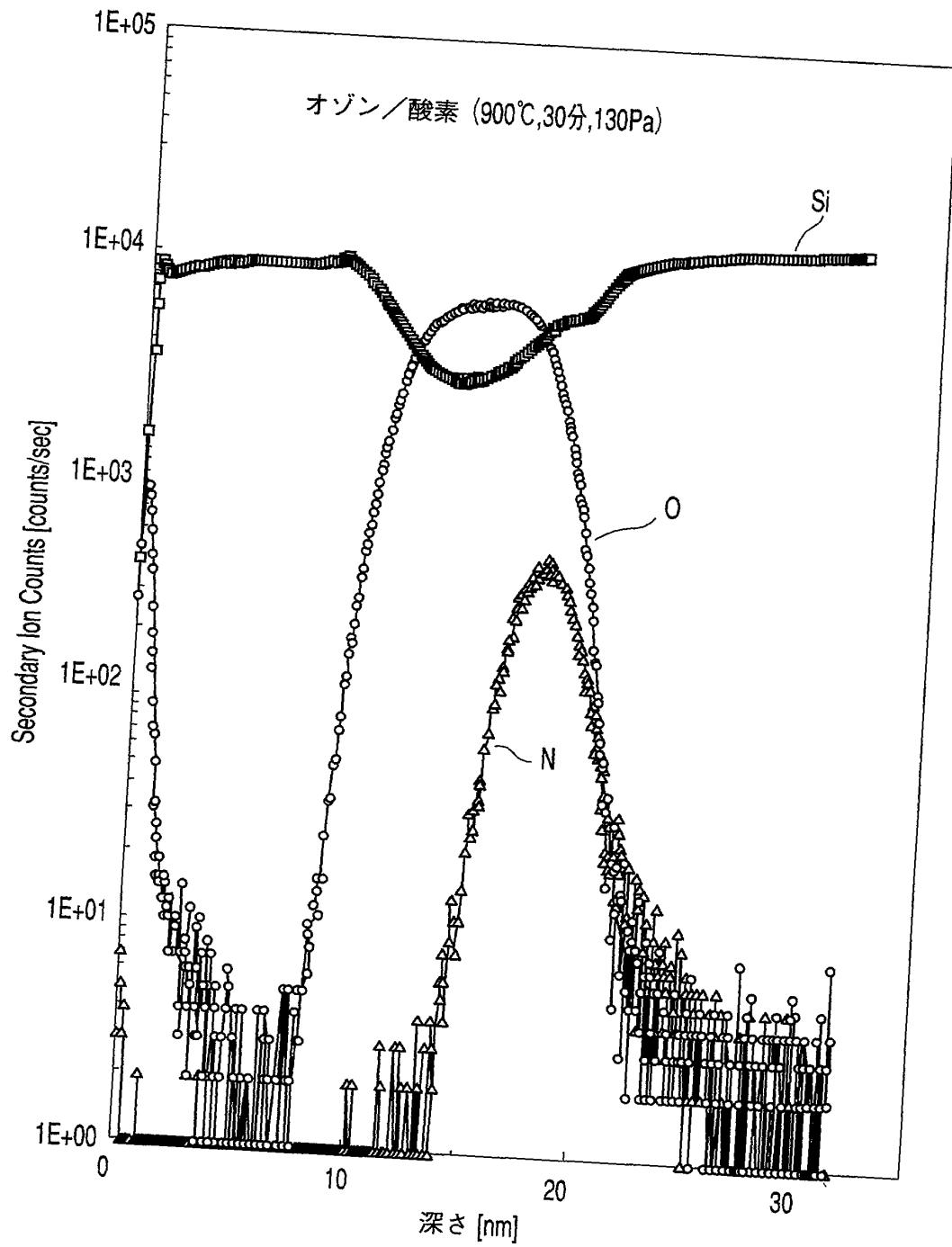


FIG. 14

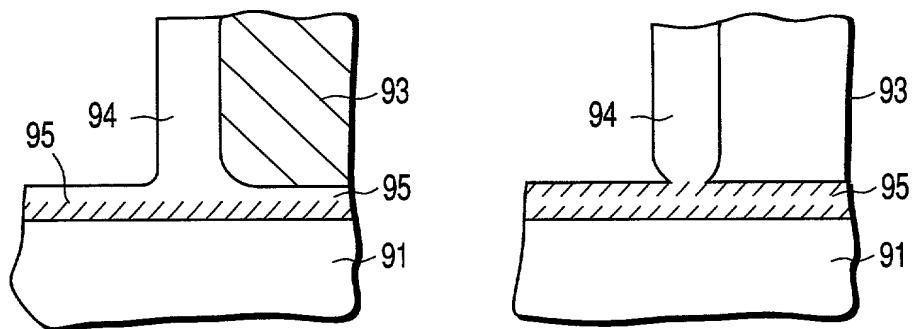


FIG. 15A

FIG. 15B

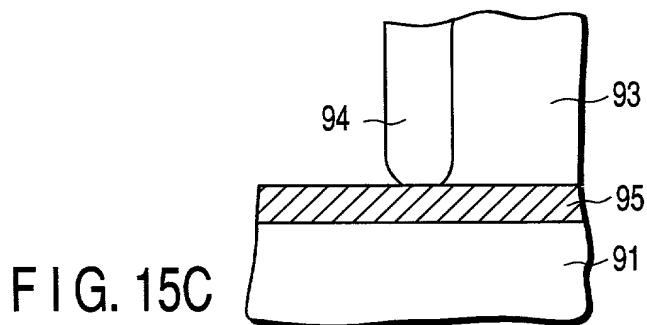


FIG. 15C

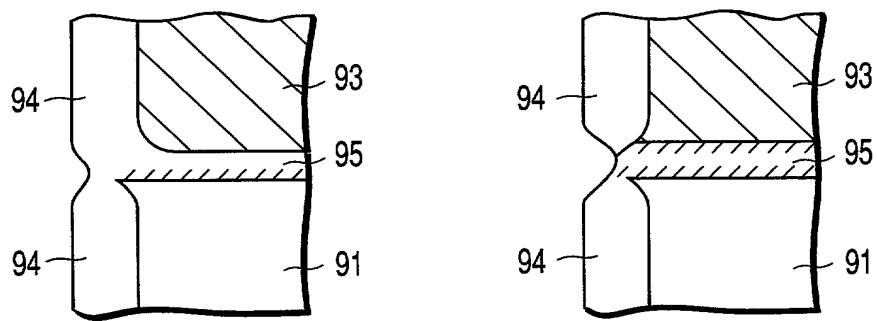


FIG. 16A

FIG. 16B

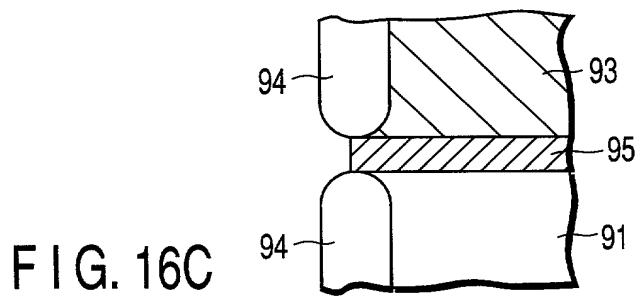
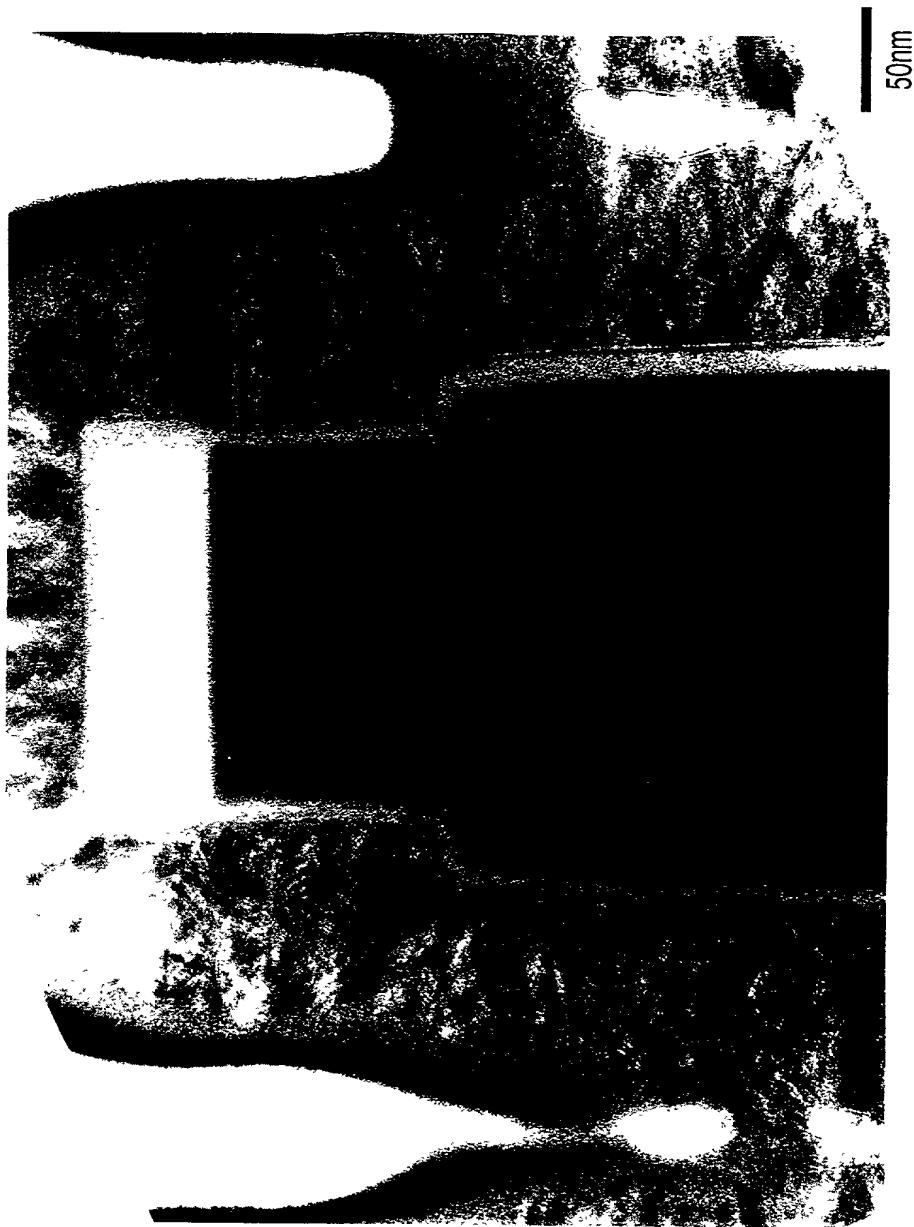
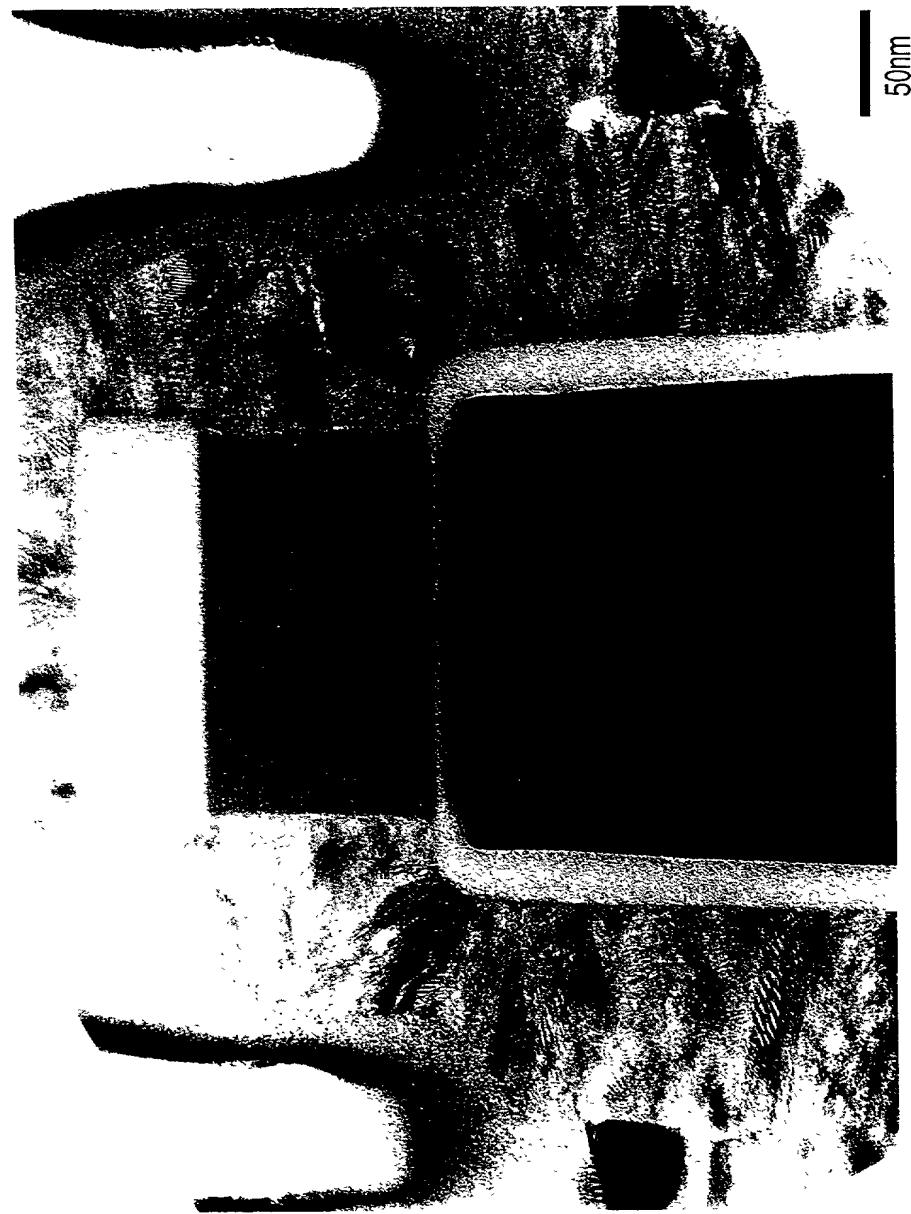


FIG. 16C



F | G. 17

00024000000000000000



F | G. 18